الجمهورية العربية السورية

وزارة التعليم العالي

جامعة دمشق

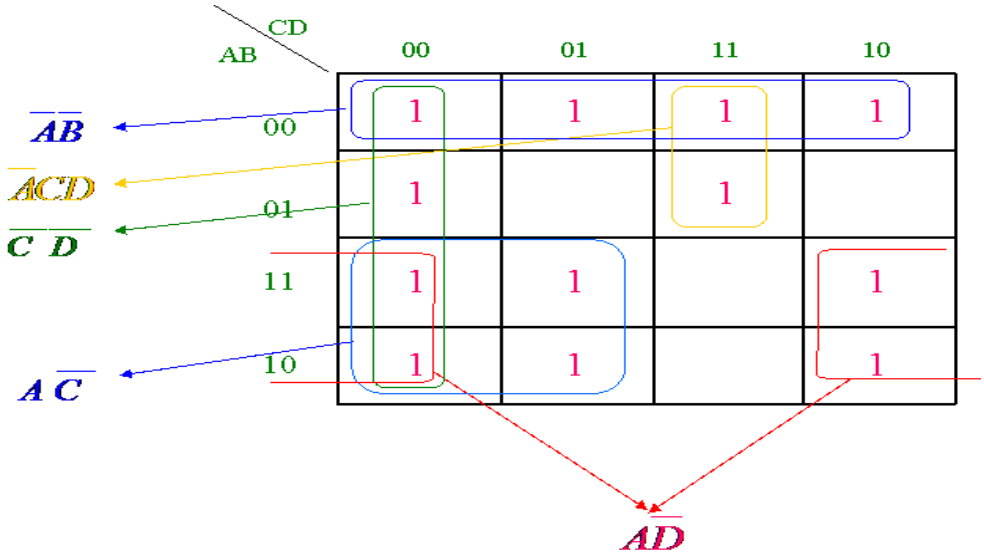
الدارات المنطقية

Logic Circuits

إعداد:

الدكتور محمد الحسين

المهندسة هناء بدوية المهندسة سوزان الجمال



مقدمة:

تزداد أهمية النظم المنطقية و الدارات الرقمية يوما بعد يوم إذ أنها حلت مكان النظم و الدارات التماثلية في كثير من المجالات .

و يجب أن لا يخفى على أي طالب مهتم بتصميم الدارات الرقمية و الحاسبات هذه الموضوعات التي أوردناها في هذا الكتاب لضرورتها ، إذ قسمنا هذا الكتاب إلى جزئين ، بينا في الجزء الأول المنطق التركيبي و تعرضنا فيه إلى نظم العد العشرية و الثنائية و الثمانية و السداسية عشر فيما بينها .

و لأهمية نظام العد الثنائي Binary Code System كونه الأساس في رموز التوابع البولانية و المخططات فقد فصلنا في عملياته الحسابية في الفصل الأول وتناولنا في الفصل الثاني جبر بول و قواعده و قوانين ديمورغان وفي الفصلين الثالث و الرابع تناولنا البوابات المنطقية وبنيتها و خصصنا الفصل الخامس لتمثيل و اختصار التوابع المنطقية بعدة طرق ومنها الاختصار بطريقة مخطط كارنو وعرجنا على التابع العكسي و الجداءات القياسية ، في الفصل السادس شرحنا تصميم بعض الدارات التركيبية كالجامع والطارح ومفكك الترميز وغيرها ، ثم انتقلنا للجزء الثاني الذي تحدثنا فيه عن المنطق التتابعي و بينا في الفصل السادس أنواع القلابات ثم انتقلنا في الفصل السابع لشرح المسجلات والعدادات المتزامنة وغير المتزامنة و تعرضنا أخيرا لفكرة مبسطة عن بنية الذاكرة .

المؤلفون

فهرس المحتويات

الموضوع **الصفحة**

الجزء الأول : المنطق التركيبي7

الفصل الأول : أنظمة العد8

1 1 نظام العد العشري 8

1 2 نظام العد الثنائي 11

1 3 نظام العد الثماني 13

1 4 نظام العد السداسي عشري 15

1 5 التحويل بين أنظمة العد المختلفة 17

1 6 العمليات الحسابية في النظام الثنائي 29

1 7 النظام العشري المرمز ثنائيا 33

تمارين 37

الفصل الثاني : جبربول40

2–1 قواعد الجبر البوليني42

2–2 قوانين ديمورغان 49

تمارين51

الفصل الثالث : البوابات المنطقية52

3–1 المنطق الموجب و المنطق السالب53

3–2 جبر بول 55

3–3 العمليات المنطقية56

3–4 البوابات المنطقية 59

تمارين74

الفصل الرابع : بنية دارات البوابات المنطقية75

4–1 بناء دارات البوابات المنطقية الأساسية 79

4–2 بناء دارات البوابات المنطقية المشتقة84

4–3 العائلات المنطقية88

4–4 تغليف الدارات المنطقية المتكاملة90

4–5 المواصفات الفنية للعائلات المنطقية91

4–6 أجهزة فحص البوابات و الدارات الرقمية102

تمارين 108

الفصل الخامس : تمثيل و اختصار التوابع المنطقية109

5–1 مقدمة 109

5–2 تمثيل التابع المنطقي ذو متحول واحد 109

5–3 تمثيل التابع المنطقي ذو متحولين 111

5–4 تمثيل التابع المنطقي ذو ثلاثة متحولات 112

5–5 جدول الحقيقة 113

5–6 تمثيل التوابع المنطقية116

5–7 تبسيط واختصار التوابع المنطقية 127

5–8 مخططات كارنو 139

5–9 الجداءات القياسية 159

5–10 التابع العكسي 164

تمارين171

الفصل السادس : الدارات التركيبية178

6–1 إجرائية التحليل 180

6–2 إجرائية التصميم 180

6–3 الجامع الطارح – الثنائي 193

6–4 نصف الجامع 194

6–5 الجامع الكامل 196

6–6 جامع ثنائي 200

6–7 الطارح الثنائي 202

6–8 الفيض 205

6–9 الجامع العشري 208

6–10 الضارب الثنائي 212

6–11 مقارن المقدار 216

6–12 مفككات الترميز 220

6–13 المرمزات 226

6–14 مرمز الأفضلية 228

6–15 المجمعات 232

6–16 البوابات ثلاثية الحالة 238

الجزء الثاني : المنطق التتابعي 248

الفصل السابع : المنطق التتابعي المتزامن249

7–1 القلاب R-S 253

7–2 القلاب J-K 266

3-7 القلاب T 272

4-7 القلاب D 275

الفصل الثامن : المسجلات و العدادات 279

1-8 المسجلات 279

2-8 النقل التسلسلي 282

3-8 العدادات غير المتزامنة 287

4-8 العدادات المتزامنة 289

5-8 تصميم العدادات المتزامنة 290

6-8 الذاكرة 299

المصطلحات و الاختصارات 307

المراجع 311

الجزء الأول

المنطق التركيبي

Combinational logic

الفصل الأول

أنظمة العد

Number Systems

مقدمة Introduction

نتيجةً للتطور في الدارات الالكترونية الرقمية،فان نظام العد العشري لم يعد كافياً للقيام بالعمليات الحسابية اللازمة، وخاصةً في الدارات التي تستدعي متطلبات عملها التبديل بين حالتين مستقرتين مثل المفاتيح–الحواكم–خطوط نقل المعلومات –الترانزستورات .... الخ . وكان ضرورياً إيجاد أنظمة عد أخرى للقيام بالعمليات المطلوبة من الدارات الرقمية تلك .

من هذه الأنظمة:

1-1 نظام العد العشري *Decimal System*

وهو نظام عد أساسه العدد (*10*) ومجموعة أرقامه الأساسية (0 –*9*) ويمكن تحليل أي عدد عشري بحسب القانون العام الآتي:

$$Z= A_N.10^{N} + A_{N-1}.10^{N-1} +....+ A_1.10^{1} + A_0.10^{0} + A_{-1}.10^{-1} + A_{-2}.10^{-}$$

نميز في هذا القانون العام حالتين بحسب نوع العدد العشري:

الحالة الأولى: إذا كان العدد العشري صحيح : نطبق جزء من القانون العام السابق المتعلق بالقسم الصحيح للعدد العشري وهو :

$$Z_1 = A_N . 10^N + A_{N-1} . 10^{N-1} + A_{N-2} . 10^{N-2} \ldots + A_1 . 10^1 + A_0 . 10^0$$

حيث أن: N = عدد مراتب العدد العشري الصحيح المعطى منقوصاً منه واحد.

فإذا فرضنا مراتب العدد العشري الصحيح المعطى K فإن N تعطى بالعلاقة:

$$N = K - 1$$

A_N : الرقم الموجود في أعلى مرتبة.

A_0 : الرقم الموجود في أصغر مرتبة .

10 : أساس النظام العشري.

مثال (1): حلل العدد العشري $(8319)_{10}$؟

الحل:

العدد العشري المعطى صحيح عدد مراتبه $K = 4$ وبالتالي فإن N تحسب على النحو الآتي: $N = K - 1 = 4 - 1 = 3$

نطبق القانون المتعلق بالعدد العشري الصحيح والمعطى بالشكل:

$$Z_1 = A_N \cdot 10^N + A_{N-1} \cdot 10^{N-1} + A_{N-2} \cdot 10^{N-2} + \ldots A_0 \cdot 10^0$$

$$= 8 \cdot 10^3 + 3 \cdot 10^2 + 1 \cdot 10^1 + 9 \cdot 10^0$$

$= 8000 + 300 + 10 + 9$

الحالة الثانية: إذا كان العدد العشري يحتوي على أجزاء عشرية:

نطبق جزء القانون العام السابق المتعلق بالقسم العشري (الكسري) وهو:

$$Z_2 = A_{-1}.10^{-1} + A_{-2}.10^{-2} + A_{-3}.10^{-3} + A_{-4}.10^{-4} + \ldots$$

حيث أن A_{-1} هو أول رقم موجود على يمين الفاصلة.

مثال (2): حلل العدد العشري $(0.12)_{10}$

الحل:

العدد العشري المعطى يحتوي على جزء عشري وبالتالي القانون المناسب لذلك هو:

$$Z_2 = A_{-1} \cdot 10^{-1} + A_{-2} \cdot 10^{-2}$$

$$= 1 \cdot 10^{-1} + 2 \cdot 10^{-2} = \frac{1}{10} + \frac{2}{100}$$

$$= 0.1 + 0.02$$

مثال(3): حلل العدد العشري $(47.567)_{10}$.

الحل:

العدد العشري يحتوي على قسم صحيح فيه N تعطى بالعلاقة:

$$N = K - 1 = 2 - 1 = 1$$

وبالتالي القانون العام لتحليل هذا العدد هو:

$$Z= A_N .10^N + A_{N-1} .10^{N-1} +....+ A_1 .10^1 + A_0 .10^0 + A_{-1} .10^{-1} + A_{-2} .10^{-2} +...$$

$$= 4 \cdot 10^1 + 7 \cdot 10^0 + 5 \cdot 10^{-1} + 6 \cdot 10^{-2} + 7 \cdot 10^{-3}$$

$$= 40 + 7 + 0.5 + 0.06 + 0.007$$

1-2 نظام العد الثنائي Binary System

إن استيعاب نظام العد الثنائي أمر ضروري وذلك لسببين أساسيين ، الأول، كون الأرقام الثنائية غالباً ما تظهر كدارات للترميز ،أما السبب الثاني فهو أن الحاسبات العددية تتعامل بالأعداد الثنائية مرتبة وفق أشكال معينة ، وسنجد أن نظام العد الثنائي وسيلة للترميز لا يمكن الاستغناء عنها.

إن أساس هذا النظام هو الرقم (2) ومجموعة أرقامه الأساسية (1 - 0) ويمكن كتابة أي عدد في هذا النظام باستخدام هذه الأرقام.

1-1-2 تحويل الأسس conversion between bases

لتحليل أي عدد ثنائي إلى مكوناته الأساسية نطبق القانون العام السابق المعطى في النظام العشري **فقط نستبدل الأساس (10) في القانون السابق بالأساس (2) للنظام الثنائي** ليصبح القانون العام:

$$Z= A_N . 2^N + A_{N-1} . 2^{N-1} +....+ A_1 . 2^1 + A_0 . 2^0 + A_{-1} . 2^{-1} + A_{-2} . 2^{-2} +...$$

وتبقى التسميات السابقة لرموز القانون والمعطاة في نظام العد العشري صحيحة في نظام العد الثنائي وكذلك تبقى حالاته صحيحة أيضاً .

مثال (4) : حلل العدد الثنائي $(1101)_2$؟

الحل:

العدد الثنائي المعطى صحيح ، عدد مراتبه $K = 4$ وبالتالي تحسب N:

$$N = K - 1 = 4 - 1 = 3$$

وبالتالي القانون العام لتحليل هذا العدد الثنائي الصحيح هو:

$$Z_1 = A_N \cdot 2^N + A_{N-1} \cdot 2^{N-1} + \ldots + A_1 \cdot 2^1 + A_0 \cdot 2^0$$

$$= 1 \cdot 2^3 + 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0$$

مثال(5): حلل العدد الثنائي $(0.110)_2$

الحل:

العدد الثنائي المعطى يحتوي على أجزاء عشرية بالتالي نطبق من القانون العام ما هو متعلق بالقسم العشري على النحو الآتي:

$$Z_2 = A_{-1} \cdot 2^{-1} + A_{-2} \cdot 2^{-2} + A_{-3} \cdot 2^{-3}.$$

$$Z_2 = 1 \cdot 2^{-1} + 1 \cdot 2^{-2} + 0 \cdot 2^{-3}$$

$$= 1 \cdot \frac{1}{2} + 1 \cdot \frac{1}{2^2} + 0 \cdot \frac{1}{2^3}$$

مثال(6): حلل العدد الثنائي $(1010.11)_2$؟

الحل:

بما أن العدد الثنائي المعطى له قسم صحيح وقسم كسري نطبق القانون العام لتحليل العدد الثنائي بقسميه على النحو الآتي:

$$Z = A_N \cdot 2^N + A_{N-1} \cdot 2^{N-1} + A_{N-2} \cdot 2^{N-2} + \ldots + A_0 \cdot 2^0 + A_{-1} \cdot 2^{-1} + A_{-2} \cdot 2^{-2} + \ldots$$

$$= 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 0 \cdot 2^0 + 1 \cdot 2^{-1} + 1 \cdot 2^{-2}$$

3-1 نظام العد الثماني *Octal System*

بناء على ما تقدم في نظامي العد العشري والثنائي :

دعنا نفكر ونناقش :

ما هو أساس نظام العد الثماني ؟

ما هي عناصره الأساسية ؟

ما هو القانون العام لتحليل أي عدد ثماني ؟

إن القانون العام لتحليل أي عدد ثماني:

$$Z_1 = A_N \cdot 8^N + A_{N-1} \cdot 8^{N-1} + A_{N-2} \cdot 8^{N-2} \ldots + A_1 \cdot 8^1 + A_0 \cdot 8^0$$

حيث تبقى التسميات السابقة لرموز القانون المعطاة في نظام العد العشري

صحيحة في النظام الثماني وكذلك حالاته تبقى صحيحة أيضاً.

مثال(7): حلل العدد الثماني $(217)_8$؟

الحل:

العدد الثماني المعطى صحيح عدد مراتبه $K = 3$ وNتعطى بالعلاقة:

$$N = K - 1 = 3 - 1 = 2$$

وبالتالي نطبق من القانون العام الجزء المتعلق بالقسم الصحيح وهو :

$$Z_I = A_N . 8^N + A_{N-1} . 8^{N-1} + A_{N-2} . 8^{N-2} .... + A_1 . 8^1 + A_0 . 8^0$$

$$= 2 \cdot 8^2 + 1 \cdot 8^1 + 7 \cdot 8^0$$

مثال(8): حلل العدد الثماني $(256,31)_8$؟

الحل :

العدد الثماني المعطى له قسم صحيح فيه $K = 3$ و $N = 2$ وقسم عشري

وبالتالي نطبق القانون العام بقسميه على النحو الآتي:

$$Z = A_N \cdot 8^N + A_{N-1} \cdot 8^{N-1} + ... + A_0 \cdot 8^0 + A_{-1} \cdot 8^{-1} + A_{-2} \cdot 8^{-2} + ...$$

$$= 2 \cdot 8^2 + 5 \cdot 8^1 + 6 \cdot 8^0 + 3 \cdot 8^{-1} + 1 \cdot 8^{-2}$$

$$= 2 \times 8^2 + 5 \times 8^1 + 6 \times 8^0 + 3 \frac{1}{8} + 1 \times \frac{1}{8^2}$$

1-4 نظام العد السداسي عشر Hexadecimal System

أساس هذا النظام هو العدد (***16***) لكن دعنا نفكر ونناقش :

ما هي عناصر هذا النظام الأساسية ؟

ماذا تقابل الأعداد10,11,12,13,14,15 *في نظام العد السداسي عشر هذا ؟*

ما هو القانون العام لتحليل أي عدد سداسي عشر؟

إن القانون العام لتحليل أي عدد في نظام العد السداسي عشر:

$$Z= A_N .16^N + A_{N-1} .16^{N-1} + A_{N-2} .16^{N-2} + \dots + A_1 .16^1 + A_0 .16^0 + A_{-1} .16^{-1} + A_{-2} .16^{-2} + \dots$$

حيث تبقى التسميات السابقة لرموز القانون المعطاة في نظام العد العشري وكذلك حالاته تبقى في نظام العد السداسي عشر صحيحة أيضاً.

مثال(9): حلل العدد $(5CE)_{16}$ في نظام العد السداسي عشر؟

الحل:

هو عدد صحيح في نظام العد السداسي عشر وعدد مراتبه $K = 3$

وفيه : $N= 3-1=2$

وجزء القانون العام المناسب لهذه الحالة هو:

$$Z_1 = A_N \cdot 16^N + A_{N-1} \cdot 16^{N-1} + \dots + A_0 \cdot 16^0$$

$$= 5 \cdot 16^{2} + C \cdot 16^{1} + E \cdot 16^{0}$$

مثال(10): حلل العدد $(0.2A)_{16}$ في نظام العد السداسي عشر ؟

الحل:

بما أن العدد المعطى يحتوي على جزء عشري (كسري) فيمكن تطبيق من القانون العام ما هو متعلق فقط بالقسم العشري على الشكل الآتي:

$$Z_2 = A_{-1} \cdot 16^{-1} + A_{-2} \cdot 16^{-2}$$

$$= 2 \cdot 16^{-1} + A \cdot 16^{-2} = 2 \cdot \frac{1}{16} + A \cdot \frac{1}{16^{2}}$$

مثال(11): حلل العدد $(B4.C3)_{16}$ قي نظام العد السداسي عشر ؟

الحل:

يتألف العدد المعطى من جزء صحيح فيه $K = 2$.

نحسب N من العلاقة: $N = K - 1 = 2 - 1 = 1$

وكذلك يتألف من جزء عشري. لذلك يطبق القانون العام بقسميه الصحيح والعشري على الشكل الآتي:

$$Z = B \cdot 16^{1} + 4 \cdot 16^{0} + C \cdot 16^{-1} + 3 \cdot 10^{-2}$$

5-1 التحويل بين أنظمة العد المختلفة

conversion between number systems

إن عملية التحويل بين أنظمة العد المختلفة ضرورة تفرضها الحاجة إما إلى فك ترميز أو إعادة ترميز معطيات لتتناسب ومبدأ عمل الدارة المنطقية المعطاة ويمكن تصنيف قوانين التحويل بين أنظمة العد المختلفة بالشكل الآتي:

5-1-1- التحويل من أي نظام عد إلى النظام العشري

conversion to decimal system

نطبقالقانون العام لتحليل العدد في النظام المعطى ثم نعوض ونجمع الحدود لنحصل على المكافئ العشري لهذا العدد.

مثال(12): حول العدد الثنائي $(1011)_2$ إلى نظام العد العشري ؟

الحل:

1- القانون العام لتحليل عدد في نظام العد الثنائي:

$$Z = A_N \cdot 2^N + A_{N-1} \cdot 2^{N-1} + ... + A_0 \cdot 2^0$$

2 – نعوض $(1011) = (1 \times 2^3) + (0 \times 2^2) + (1 \times 2^1) + (1 \times 2^0)$

ونجمع $=8+0+2+1=11$

أي أن: $(1011)_2 = (11)_{10}$

مثال (13): حول العدد $(217)_8$ إلى نظام العد العشري ؟

الحل:

$$Z = A_N \cdot 8^N + A_{N-1} \cdot 8^{N-1} + \dots + A_0 \cdot 8^0$$

$$(217) = 2 \times 8^2 + 1 \times 8^1 + 7 \times 8^0$$

$$= 2 \times 64 + 1 \times 8 + 7 = 128 + 8 + 7 = 143$$

$$(217)_8 = (143)_{10}$$

مثال (14) : حول العدد $(5CE)_{16}$ إلى نظام العد العشري ؟

الحل:

$$Z = A_N \cdot 16^N + A_{N-1} \cdot 16^{N-1} + A_{N-2} \cdot 16^{N-2} + \dots + A_0 \cdot 16^0$$

$$= 5 \times 16^2 + 12 \times 16^1 + 14 \times 16^0$$

$$= 1280 + 192 + 14 = 1486$$

$$(5CE)_{16} = (1486)_{10}$$

5-1-2 التحويل من نظام عد عشري إلى نظام عد آخر

conversion from decimal system to other system

في عملية التحويل هذه نميز طريقتين:

الطريقة الأولى: نتبع فيها الخطوات الآتية:

1- نرتب أساس نظام العد (الهدف) ومضاعفاته.

2- نطرح من الرقم العشري المعطى أقرب عدد أساسي في النظام المطلوب وأصغر منه لنحصل على ناتج عشري جديد.

3- نكرر الخطوة (2) حتى نحصل على ناتج يساوي أصغر رقم أساسي في النظام المطلوب أو يساوي الصفر.

مثال(15): حول العدد $(23)_{10}$ إلى نظام العد الثنائي ؟

الحل :

1- نرتب أساس النظام الثنائي ومضاعفاته على الشكل الآتي :

$$2^5=32 \qquad 2^4=16 \qquad 2^3=8 \qquad 2^2=4 \qquad 2^1=2 \qquad 2^0=1$$

2 – نطرح من العدد العشري أقرب عدد ثنائي أساسي وأصغر منه:

$$23-\underline{2^4}=23-16=7$$

$$7-\underline{2^2}=7-4=3$$

$$3-\underline{2^1}=3-2=1$$

$$1-\underline{2^0}=1-1=0$$

3- نرتب الأعداد الثنائية الأساسية المأخوذة ونضع مكانها (1) وغير المأخوذة نضع مكانها (0) على الشكل الآتي:

$$2^4 \qquad 2^3 \qquad 2^2 \qquad 2^1 \qquad 2^0$$

$$11101$$

4- نكتب ناتج التحويل على الشكل الآتي:

$$(23)_{10} = (10111)_2$$

مثال(16): حول العدد العشري $(124)_{10}$ إلى عدد ثماني ؟

الحل:

نرتب أساس النظام الثماني ومضاعفاته على الشكل الآتي :

$$8^4 \qquad 8^3 \qquad 8^2 \qquad 8^1 \qquad 8^0$$

$$124 - \underline{8^2} = 124 - 64 = 60$$

إن أقرب عدد ثمان أساسي هو 56 : $\underline{7 \times 8^1} = 56$

نطرح الناتج منه: $60 - \underline{56} = 4$

الناتج الأخير(4) ويكتب: $\underline{4 \times 8^0}$

8^2	8^1	8^0
1	7	4

وبالتالي يكون ناتج التحويل : $(124)_{10} = (174)_8$

مثال(17): حول العدد $(500)_{10}$ إلى النظام السداسي عشر ؟

الحل :

$$16^2 \qquad 16^1 \qquad 16^0$$

$$500 - \underline{16^2} = 500 - 256 = 244$$

$$244 - \underline{15 \times 16^1} = 244 - 240 = \underline{4}$$

ناتج الطرح الأخير أقل من 16 ويكتب على الشكل: 4×16^0

$$\begin{array}{ccc} 16^2 & 16^1 & 16^0 \\ 1 & 15 = (F)_{16} & 4 \end{array}$$

$$\boxed{(500)_{10} = (1F4)_{16}}$$

مثال(18): حول العدد العشري $(0.625)_{10}$ إلى عدد ثنائي ؟

الحل :

رتب كالتالي :

$$\frac{1}{2^4} = 0.0625 \qquad \frac{1}{2^3} = 0.125 \qquad \frac{1}{2^2} = 0.25 \qquad \frac{1}{2^1} = 0.5$$

ضع أقرب عدد ثنائي أساسي للعدد العشري المعطى $2^{-1} = 0.5$

نطرح:

$$0.625 - \underline{0.5} = 0.125$$
$$0.125 - \underline{2^{-3}} = 0.125 - 0.125 = 0$$

$$2^{-1} \qquad 2^{-2} \qquad 2^{-3}$$

101

إن ناتج التحويل: $(0.625)_{10} = (0.101)_2$

الطريقة الثانية:

ونميز فيها حالتين:

1- إذا كان العدد العشري المعطى صحيح: نقسم العدد العشري الصحيح على أساس النظام المطلوب ونضع الناتج بعد المساواة وإذا وجد باقٍ نضعه تحت الأساس وإلا نضع (0) ونتابع العملية حتى نحصل على ناتج نهائي مساوي للصفر (0) أو أصغر عدد أساسي في النظام المطلوب. ثم نقرأ العدد الناتج بطريقة قراءة البواقي من اليمين إلى اليسار وكتابتها من اليسار إلى اليمين.

مثال(19): حول العدد العشري $(25)_{10}$ إلى عدد ثنائي ؟

الحل :

25÷2=12÷2**1**÷ 2=**6**÷2=**3**÷2= =0

11001 الباقي

اتجاه القراءة ←

وبالتالي ناتج التحويل : $(25)_{10} = (11001)_2$

مثال(20): حول العدد العشري $(28)_{10}$ إلى عدد سداسي عشر ؟

الحل:

$28 \div 16 = 1$ (الناتج) $\div 16 = 0$ $\div$ 12

1612 الباقي

اتجاه القراءة ←

وبالتالي ناتج التحويل بعد التعويض عن (12) بـ (C) في النظام السداسي عشر يكون كالآتي: أي لا يمكن كتابة العدد على الشكل التالي :

إنما نكتبه على الشكل :

$$(28)_{10} = (1\ \underline{12})_{16}$$
$$= (1C)_{16}$$

مثال(21): حول العدد العشري $(38)_{10}$ إلى عدد في النظام الثماني ؟

الحل :

$38 \div 8 = 4$ (الناتج) $\div 8 = 0$

46 الباقي

اتجاه القراءة ←

وبالتالي :

$$(38)_{10} = (46)_{8}$$

2- إذا كان العدد العشري المعطى ذو جزء عشري (كسري):

نضرب الجزء العشري بالعدد (**2**). فإذا كان الناتج أقل من الواحد نضع الرقم (**0**) ،وإذا كان أكبر من الواحد نضع القسم الصحيح (**1**) جانباً ونكرر العملية حتى نحصل على الجزء العشري المعطى أو عدد قريب منه .

مثال(22): حول العدد العشري $(0.6)_{10}$ إلى عدد ثنائي ؟

الحل :

لأن الناتج أكبر من الواحد نضع 1 $0.6 \times 2 = 1.2$

لأن الناتج أصغر من الواحد نضع 0 $0.2 \times 2 = 0.4$

0 $0.4 \times 2 = 0.8$

1 $0.8 \times 2 = 1.6$

0.6

ويكون اتجاه القراءة من الأعلى إلى الأسفل ويصبح ناتج التحويل على الشكل الآتي :

$$(0.6)_{10} = (0.1001)_2$$

3-1-5 تحويلات خاصة special conversion

التحويل من نظام العد الثنائي إلى نظام العد الثماني:

Conversion from binary to octal systems

يتم التحويل بإتباع الخطوات الآتية:

1- نقسم العدد الثنائي إلى مجموعات يتألف كل منها من ثلاثة مراتب متتالية بدءاً من يمين العدد.

2- نحول كل مجموعة من المجموعات التي حصلنا عليها إلى قيمتها في نظام العد العشري.

3 - نضع الأرقام العشرية التي حصلنا عليها وبنفس ترتيب مجموعات العدد الثنائي بجانب بعضها البعض لنحصل على العدد في نظام العد الثماني .

مثال(23): حول العدد الثنائي $(1101010)_2$ إلى نظام العد الثماني ؟

الحل :

1- يقسم العدد إلى المجموعات 010101100

2- نضع القيم العشرية المكافئة 251

وبالتالي نكتب: $(1\ 101\ 010)_2 = (152)_8$

التحويل من نظام العد الثماني إلى نظام العد الثنائي :

Conversion from octal to binary systems

يتم التحويل بإتباع الخطوات الآتية:

1. يعتبر كل رقم من الأرقام المكونة للعدد الثماني عبارة عن مجموعة واحدة في نظام العد الثنائي، ويجب البدء من يمين العدد إلى يساره.
2. نحول كل رقم من الأرقام السابقة إلى النظام الثنائي ويجب أن يكتب كل عدد ثنائي على شكل ثلاثة مراتب ثنائية .
3. نضع المراتب الثنائية التي حصلنا عليها بجانب بعضها البعض وبنفس الترتيب، فنحصل على العدد المكافئ للعدد الثماني .

مثال(23): حول العدد الثماني $(257)_8$ إلى عدد ثنائي ؟

الحل :

يتم التحويل بإتباع الخطوات الآتية :

1- نكتب العدد الثماني 752

2- نضع المكافئ الثنائي 111101010

3-نكتب النتيجة . $(257)_8 = (010\ 101\ 111)_2$

التحويل من نظام العد الثنائي إلى نظام العد السداسي عشر :

Conversion from binary to hexadecimal systems

ويتم التحويل بإتباع الخطوات الآتية:

1- نقسم العدد الثنائي إلى مجموعات كل منها مؤلفة من أربعة مراتب ثنائية متتالية تبدأ من المرتبة الأولى في يمين العدد الثنائي.

2- نعطي كل مجموعة من المجموعات السابقة قيمتها في نظام العد السداسي عشر.

3- نضع الأرقام التي حصلنا عليها في الخطوة السابقة بجانب بعضها البعض بنفس الترتيب فنحصل على العدد المكافئ في نظام العد السداسي عشر.

مثال(24): حول العدد الثنائي $(01011\ 1)_2$ إلى عدد سداسي عشر؟

الحل :

1- نكتب العدد الثنائي 10110010

2-نضع المكافئ السداسي عشر $B2$

3-نكتب النتيجة $(10\ 1011)_8 = (2\ B)_{16}$

التحويل من نظام العد السداسي عشر إلى نظام العد الثنائي:

Conversion from hexadecimal to binary systems

يتم التحويل بإتباع الخطوات الآتية:

- نعتبر كل رقم أو حرف والمكون للعدد في نظام العد السداسي عشر عبارة عن مجموعة واحدة في نظام العد الثنائي.
- نحول كل رقم من الأرقام السابقة إلى نظام العد الثنائي ويجب أن يكتب كل رقم بأربعة مراتب ثنائية .
- نضع المراتب الثنائية التي حصلنا عليها بجانب بعضها البعض وبنفس الترتيب. فنحصل على العدد المكافئ للعدد في نظام العد الثنائي .

مثال(25): حول العدد $(AF8)_{16}$ إلى نظام العد ثنائي ؟

الحل : $(10\ 1011)_8 = (2\ B)_{16}$

1 – نكتب العدد السداسي عشر 8 F A

2– نضع المكافئ الثنائي 100011111010

3–نكتب النتيجة $(AF8)_{16} = (1010\ 1111\ 1000)_2$

دعنا نفكر ونتناقش:

– هل من الضروري أن نعرف كل قوانين التحويل بين أنظمة العد المختلفة ؟

– هل يمكننا أن نعتمد على نظامي عد كأساس لتحويل أي عدد من نظام عد إلى نظام عد آخر

– إذا كان جوابك (نعم) . هل بإمكانك أن تحدد هذين النظامين ؟

6–1 العمليات الحسابية في النظام الثنائي:

Binary Arithmetic

مقدمة:

يعتبر النظام الثنائي النظام الأكثر شيوعاً واستخداماً في العديد من الأنظمة المنطقية الرقمية الحديثة. وهنا تبرز أهمية التركيز عليه لمعرفة العمليات الحسابية الأساسية فيه وخاصة عمليتي الجمع والطرح.

1 الجمع الثنائي *Binary Addition*

تجمع الأعداد الثنائية بالطريقة نفسها التي تجمع بها الأعداد العشرية، ويبين الجدول الآتي القوانين الأربعة الرئيسة لعملية الجمع الثنائي:

0 = 0 + 0

1= 1 + 0

1 + 0 = 1

1 + 1 = 10 = 0*

وتشير النجمة (*) إلى أنه يجب أن نضيف العدد (*1*) إلى الخانة التالية في عملية الجمع .

مثال(26) : أوجد ناتج ما يلي $(011 + 001)_2$.

الحل :

$$\begin{array}{r} \overset{①①}{} \\ 011 \\ +\ 001 \\ \hline 100 \end{array} \quad \Leftrightarrow \quad \begin{array}{r} 3 \\ 1\ + \\ \hline 4 \end{array}$$

2- طرح الأعداد الثنائية *Binary Subtraction*

تطرح الأعداد الثنائية من بعضها بالطريقة نفسها التي تطرح بها الأعداد العشرية و يبين الجدول الآتي القوانين الأربعة الرئيسة لعملية الطرح الثنائي:

$$0 = 0-0$$

$$1 = 1 - 0$$

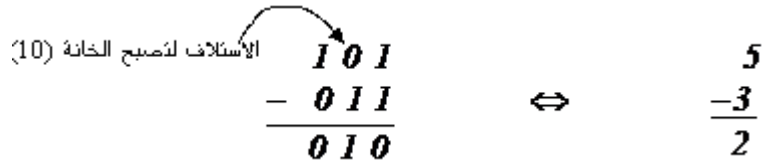
$$0 - 1 = 1^{*}$$

$$1 - 1 = 0$$

وتشير (*) إلى أنه يجب أن نستلف الرقم (1) من الخانة التالية فيصبح العدد (10) ونطرح منه الرقم (1) ويكون الناتج (1) مع ملاحظة أن المرتبة العليا أكبر من المرتبة الدنيا.

مثال(27) : أوجد ناتج ما يلي $(101 - 011)_2$ ؟

الحل :



3- ضرب الأعداد الثنائية *Binary Multiplication*

تتم عملية الضرب في النظام الثنائي كما في النظام العشري .

دعنا نفكر ونتناقش:

كيف لنا أن نكتب نتائج ضرب الأعداد الثنائية الأساسية مع بعضها البعض ؟

مثال(28) : أوجد ناتج ما يلي: $(11 \times 10)_2$ ؟

الحل :

$$\begin{array}{r} 11 \\ \times\ 10 \\ \hline 00 \\ +11 \\ \hline 110 \end{array} \quad \text{يكافئ} \quad \begin{array}{r} 3 \\ \times\ 2 \\ \hline 6 \end{array}$$

4- تقسيم الأعداد الثنائية *Binary Division*

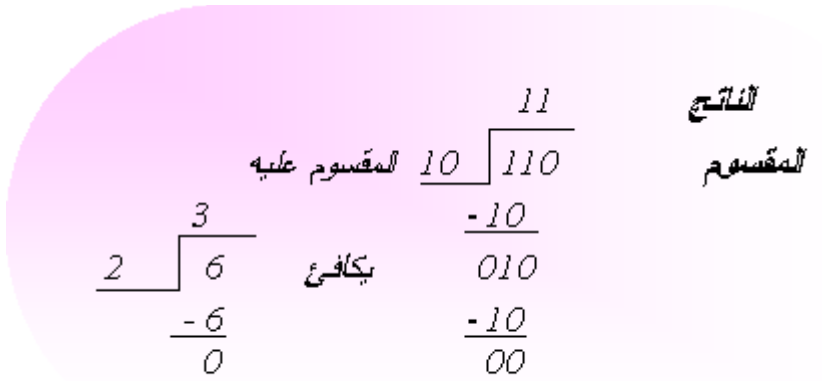
يمكن إجراء عملية التقسيم في النظام الثنائي بإحدى الطريقتين الآتيتين:

1- طريقة التقسيم العادي (المباشر):

في هذه الطريقة نتبع الخطوات نفسها المتبعة في التقسيم العشري.

مثال(29) : أوجد ناتج ما يلي: $(110 \div 10)_2$ ؟

الحل :



2- طريقة الطرح المتكرر:

هي الطريقة الأكثر استخداماً في بعض الحاسبات الإلكترونية وتستخدم لقسمة الأعداد الصحيحة والكسرية وسنكتفي بشرح قسمة الأعداد الصحيحة فقط.

مثال(30) : أوجد ناتج $(110111 \div 1011)_2$ بطريقة الطرح المتكرر ؟

$$110111$$

$$\underline{-1011}$$

ودعنا نفكر ونتناقش:

إلى متى نستمر بعملية الطرح ؟

كيف نكتب ناتج القسمة النهائي ؟

7-1 النظام العشري المرمز ثنائياً

(BCD) *Binary Coded Decimal*

يعتبر هذا الترميز من أكثر الأنواع استخداماً في الحاسبات الإلكترونية ويعرف عالمياً باسم (***BCD***) اختصاراً للكلمات السابقة باللغة الإنكليزية والتي تعني العدد العشري المُرَمَّز ثنائياً. وفي هذا الترميز يعبر عن الأرقام العشرية (***0---9***) بالأعداد الثنائية حسب قيمتها فقط **<u>ويكتب كل رقم عشري بأربعة مراتب ثنائية</u>** علماً أن لهذا الترميز اسم آخر شائع أيضاً ويعرف باسم كود (***8 – 4 – 2– 1***).

دعنا نفكر ونتناقش:

بناء على قوانين ***التحويل*** بين نظام العدالعشري والثنائي . كيف نحول الأعداد العشرية (من 0 إلى 9) إلى نظام ***BCD*** ؟

مثال(31) : حول الأعداد العشرية ***(170 ، 98 ، 35)*** إلى نظام ***BCD***؟

الحل :

$$(35)_{10} = (0011\ \ 0101)_{BCD}$$

$$(98)_{10} = (1001\ \ 1000)_{BCD}$$

$$(170)_{10} = (0001\ \ 0111\ \ 000)_{BCD}$$

7-1-1الجمع في نظام BCD *(BCD Addition)*

يعتبر الجمع في نظام العشري المرمز ثنائياً ***BCD*** من أكثر العمليات أهمية لأن العمليات الثلاثة الأخرى (الطرح، الضرب، القسمة) يمكن أن تنجز باستخدام عملية الجمع.

وهنا لا بد من التمييز بين حالتين في ناتج عملية الجمع في نظام ***BCD***:

الحالة الأولى: **إذا كان المجموع رباعي الخانة يساوي أو أقل من 9**

عندها فإن هذا الناتج صحيح.

مثال(32) : أوجد ناتج ما يلي $(417 + 450)_{BCD}$ في نظام ***BCD*** ؟

الحل :

000001010100 يكافئ 450

0111 + 0001 0100 + 417

8 67 1000 01110110

768

الحالة الثانية : إذا كان الناتج أكبر من (9) عندها يضاف الرقم (6) للتصحيح.

مثال(33) : أوجد ناتج ما يلي ***(1001+0100)***$_{BCD}$ في نظام ***BCD*** ؟

الحل :

1001

+0100

① ①

1101 الناتج أكبر من (9)

لذلك نضيف (**6**)التصحيحية ***+0110***

المجموع صحيح في نظام ***BCD*** ***0011*** ***0001***

مثال(34) : أوجد ناتج ما يلي ***(01100111+0101001)***$_{BCD}$ في نظام ***BCD***؟

الحل :

①①　　①①①

10010010

+01110110

المجموعة الأولى غير ***00001001***

صحيحة في نظام ***0110*** ***+***

BCD لأنها أكبر من (**9**) ***0110 1001***

لذلك يضاف له (**6**) التصحيحية.

تمارين :

1- حلل الأعداد العشرية الآتية :

50126 ***32.341*** , ***0.461*** ,

2- حلل الأعداد الثنائية الآتية :

10.1 , 1110 , 0.10011 , 10111

3-حلل الأعداد الثمانية الآتية :

1234 , 32. 07 , 2150

4- حلل الأعداد الآتية في نظام العد السداسي عشر:

1E20.A ***BCD25.A0B6***

5- حول الأعداد العشرية الآتية:

4267125

أ- إلى نظام العد الثنائي.

ب-إلى نظام العد الثماني. حـ- إلى نظام العد السداسي عشر.

6- حول الأعداد الثنائية الآتية:

10101110011111010

أ- إلى نظام العد العشري.

ب-إلى نظام العد السداسي عشر .

حـ- إلى نظام العد الثماني.

7- حول الأعداد الآتية من النظام السداسي عشر:

98FC9C2F8E3

أ- إلى نظام العد العشري.

ب-إلى نظام العد الثنائي.

حـ- إلى نظام العد الثماني.

8- حول الأعداد الآتية من نظام العد الثماني:

5711257345

أ- إلى نظام العد العشري.

ب-إلى نظام العد الثنائي.

حـ- إلى نظام العد السداسي عشر.

9- حول الأعداد الثنائية الآتية:

1001,0111010,11110,110

إلى نظام العد العشري.

10- اكتب الأعداد العشرية من (***0-15***) في كل من الأنظمة الآتية:

1- النظام الثنائي.

2- النظام الثماني .

3- النظام السداسي عشر .

11- أوجد ناتج ما يلي: $(11+10)_2$, $(1001+101)_2$, $(1101+1011)_2$

12- أوجد باستخدام الطرح ناتج ما يلي:

$(11010-1011)_2$, $(101-100)_2$, $(11-1)_2$

13- حول كلا من الأرقام العشرية الآتية إلى نظام ***BCD***:

200 ، 156,98,21

14- أوجد المكافئ العشري للأعداد ***BCD*** الآتية:

100000100011 ، 00111001,1001

15- أوجد ناتج الجمع للأعداد الآتية في نظام ***BCD***:

1001+0010, 01001001+00010011

16- أوجد ناتج ***$(1001000 \div 1100)_2$*** بطريقة الطرح المتكرر؟

الفصل الثاني

جبر بول

Boolean Algebra

مقدمةIntroduction:

إن القواعد الرياضية للعمليات الحسابية تختلف تبعاً للكميات الرقمية المتعامل معها . ففي نطاق الأعداد الصحيحة يمكن القول أن العملية (3+4) تنتج العدد الصحيح (7) و لذلك فإنه عند توصيل مصدرين مستمرين DC للجهد على التوالي أحدهما جهده 3 فولت و الآخر جهده 4فولت فإن الجهد الكلي بالتأكيد يساوي 7 فولت.

و لكن عند العمل مع التيار المتناوب (المتردد) ACفإن قواعدنا الرياضية ستتغير لأننا نتعامل مع أعداد مركبة (لها قيمة magnitude و زاوية angle أو جزء حقيقيreal و آخر تخيلي imaginary) و سيصبح من ال منطق القول بأن 4+3=5و ذلك باعتبار 4هي الجزء التخيلي من العدد المركب.

و لنطاق الأعداد المنطقية أيضاً قواعده التي حددها الفيلسوف أرسطوحيث وجد أن النظام المنطقي لا يحتوي إلا على قيمتين هما الصواب و الخطأ ، وهذا التحديد لوجود احتمالين فقط لحالات النظام المنطقي أنتج أربعة من القواعد الأساسية :

1 -قاعدة التطابق IDENTITYحيث Aهو A

2 -قاعدة المخالفة Non-contradictionحيث Aليست هي Non-A

3 -قاعدة استثناء المنتصف Excluded Middleحيث يكون الاحتمال Aأو

Non-A (أي ليس هناك شيء ما بين هذين العددين)

4 -قاعدة الاستنتاج المنطقي Rational Inference(حيث Aهي أحد الاحتمالين وNon-A هو الاحتمال الآخر)

و بالطبع فإن هذه القواعد الأربع لا يمكن تطبيقها إلا في منطق الاحتمالين حيث لا احتمال ثالث، أما لو تعددت الاحتمالات فإنه يمكن تطبيق قواعد أخرى لنظام يعرف بالمنطق غير الواضح fuzzy، حيث سيتواجد العديد من درجات الصواب True و الخطأ false، و لن يكون بالإمكان تطبيق قاعدة مثل قاعدة (استثناء المنتصف) و ستكون هناك خروقات للقاعدة الأرسطية الثانية (قاعدة المخالفة).

قام العالم الرياضي البريطاني جورج بول عام 1854 بتقديم بحث بعنوان "تحقيق لقواعد التفكيركما وجدت في النظريات الرياضية للمنطق و الاحتمالات" و قد جمع فيه العديد من قواعد العلاقة بين الكميات التي لها خرج ذو احتمالين فقط(إما 0 أو 1) وقد سمي هذا النظام الرياضي فيما بعد بالجبر البوليني (أو الجبر المنطقي) Boolean Algebra، و في عام 1938 عرف العالم كلاود شانون من خلال رسالته "التحليل الرمزي لدارات الريلي و المفاتيح " على كيفية تطبيق الجبر البوليني على الدارات المفتاحية (ذات الحالتين on, off) واضعاً العمل النظري لجورج بول في خدمة التطبيق العملي لتحليل وتصميم الدارات الرقمية Digital Circuit.

وعليه يستخدم جبر بول في معالجة المعلومات التي تعتمد على وجود حالتين:

الحالة الأولى:حالة حقيقية أو حالة عمل.

الحالة الثانية: حالة غير حقيقية أو حالة لا عمل. ويعتبر نظام العد الثنائي مناسباً جداً للاستخدام في جبر بول.إذ أنه يحتوي على الرقمين (*1*) و(0) حيث :

يعبر الرقم (*1*) عن حالة حقيقية أو حالة عمل . في حين يعبر الرقم (*0*) عنحالة غير حقيقية أو حالة لا عمل.

ولجبر بول قوانين رياضية وقواعد خاصة تطبق على الدارات المنطقية من أجل تبسيط هذه الدارات وبالتالي تقليل الكلفة والزمن.

هذه القوانين الرياضية والقواعد يمكن إجمالها فيما يعرف بقواعد الجبر المنطقي، سنتعرف عليها تباعاً.

2-1 قواعد الجبر الهوليني (الجبر المنطقي)

Boolean Algebra Roles

1- *القاعدة الأولى:* جمع متحول ما مع نفسه يساوي المتحول نفسه:

$$A + A = A$$

إذا فرضنا $A = 0$ فان $0 = 0 + 0$

فإذا فرضنا $A = 1$ $1 = 1 + 1$

2- *القاعدة الثانية*: جمع متحول مع الواحد يساوي الواحد.

$$A+1=1$$

3- القاعدة الثالثة: جمع متحول مع الصفر يساوي المتحول نفسه.

$$A+0=A$$

4- القاعدة الرابعة: جداء متحول ما بنفسه يساوي المتحول نفسه .

$$A.A=A$$

5 - القاعدة الخامسة: جداء متحول ما مع الواحد يساوي المتحول نفسه.

$$A.1=A$$

6- القاعدة السادسة: جداء متحول ما مع الصفر يساوي الصفر

$$A.0=0$$

7- القاعدة السابعة: النفي (المتمم) الثاني لمتحول ما يلغي النفي (المتمم) الأول:

$$\overline{\overline{A}} = A$$

بفرض $A = 0$: $A=0 \;,\; \overline{A}=1 \;\Rightarrow\; \overline{\overline{A}}=\overline{0}=0$

وبفرض $A = 1$: $A=1 \;,\; \overline{A}=0 \;,\; A=1$

8- القاعدة الثامنة: جداء متحول ما في متممه يساوي الصفر .

$$A \cdot \overline{A} = 0$$

دعنا نفكر ونتناقش:

- حاول أن تبرهن هذه القاعدة ؟

-اكتب شكلها الرياضي ؟

- طبق الأسئلة السابقة على القاعدة الآتية؟

9- القاعدة التاسعة: جمع متحول ما مع متممه يساوي الواحد.

$$A + \overline{A} = 1$$

10- القاعدة العاشرة: الجمع عملية تبديلية .

$$A+B=B+A$$

- حاول أن تبرهن هذه القاعدة إذا فرضنا وجود متحولين ؟

-اكتب شكلها الرياضي ؟

- طبق الأسئلة السابقة على القاعدة الآتية ؟

11 - *القاعدة الحادية عشرة:* الضرب عملية تبديلية.

$$A.B=B.A$$

12 - ***القاعدة الثانية عشرة:*** $A + AB = A$

البرهان:

نخرج A عامل مشترك: $A\,(1 + B) = \ldots\ldots$ (1)

وحسب القاعدة (2) فإن: $(B+1) = 1$

بالتعويض في المعادلة رقم (1) وحسب القاعدة (5) نجد: $A \times 1 = A$

وبذلك فإن العلاقة $A + AB = A$ صحيحة .

- القاعدة الثالثة عشرة: $A\,(A + B) = A$

دعنا نفكر ونتناقش:

- حاول أن تبرهن هذه القاعدة ؟

-استفد من القواعد السابقة ؟

-طبق الأسئلة السابقة على القواعد الآتية ؟

14- القاعدة الرابعة عشرة:

$$\left(A + \overline{B}\right) \cdot B = A \cdot B$$

15- القاعدة الخامسة عشرة:

$$(A+B)+\overline{A}=1$$

16- القاعدة السادسة عشرة:

$$(\overline{A}\cdot\overline{B})A=0$$

17- القاعدة السابعة عشرة :

$$A.\overline{B}+B=A+B$$

أو

$$\overline{A}B+\overline{B}=\overline{A}+\overline{B}$$

برهان الشكل الأول:

نضرب الطرف الأيمن للمعادلة بالمقدار $(B+\overline{B})$ وهذا المقدار حسب القاعدة التاسعة يساوي الواحد لذلك فهو لا يؤثر على المعادلة:

$$A.\overline{B}+B=(A+B)(B+\overline{B}) \quad \text{----- (1)}$$

نفك الأقواس : $A\overline{B}+B=AB+A\overline{B}+BB+B\overline{B}$

إن المقدار $B.\overline{B}=0$ المتبقي $(B.B=B)$

$$A.\overline{B}+B=A+B$$

$$A\overline{B} + B = A\overline{B} + AB + B \quad \text{.....} \quad (2)$$

وحسب القاعدة (9):

$$\boxed{B + \overline{B} = 1}$$

فإن:

$$A(\overline{B} + B) = A$$

نعوض في المعادلة (2) فنجد أن العلاقة :

$$\boxed{\left(A \cdot \overline{B}\right) + B = A + B}$$ محققة

18-القاعدة الثامنة عشرة:

$$\boxed{(A+BC)=(A+B)(A+C)}$$

البرهان:

نفك الأقواس: $(BC+A)=AA+AC+BA+BC$ .....(1)

حسب القاعدة (4) فإن: $A \cdot A = A$ نعوض في (1)

$$A + BC = A + AC + BA + BC$$

نخرج المتحول (A) خارج قوس:

$$A + BC = A\ (1 + C + B) + BC$$

وحسب القاعدة رقم (2) فإن: $(C + B = 1 + 1)$ ومنه نستنتج أن:

$$A + BC = A + BC$$

مثال (1): بسط المعادلة الآتية باستخدام قواعد الجبر المنطقي؟

الحل :

$$Y = A\overline{B} + \overline{A}\,\overline{B} + \overline{A}B$$

يمكن حل المعادلة بطريقتين :

الطريقة الأولى :

البرهان: نخرج المتحول (B) من الحد الأول والثاني خارج قوس:

$$Y = \overline{B}\left(A + \overline{A}\right) + \overline{A}B \quad \ldots\ldots\ldots (1)$$

وحسب القاعدة (9) : $\boxed{\overline{A} + A = 1}$ نعوض في (1) فينتج:

$$Y = \overline{B} \cdot 1 + \overline{A}B = \overline{B} + \overline{A}B$$

وحسب الشكل الثاني للقاعدة (17) فإن :

$\boxed{\overline{A}B + \overline{B} = \overline{A} + \overline{B}}$ والعلاقة محققة

الطريقة الثانية

نخرج المتحول(_A) من الحد الثاني والثالث خارج قوس:

$$Y = A\overline{B} + \overline{A}\left(\overline{B} + B\right)$$

وحيث أن (B+B=1) فإن: $\boldsymbol{Y = A\overline{B} + \overline{A}\left(\overline{B} + B\right)}$

وحسب الشكل الثاني للقاعدة رقم (17) فإن:

$$\boldsymbol{\left(A\overline{B} + \overline{A} = \overline{A} + \overline{B}\right)}$$

والعلاقة محققة .

2-2 قوانين ديمورغان :

1-قانون ديمورغان الأول :

نفي مجموع متحولات يساوي جداء نفي هذه المتحولات .

$$\boldsymbol{\overline{A+B+C+D} = \overline{A} \times \overline{B} \times \overline{C} \times \overline{D}}$$

2-قانون ديمورغان الثاني:

$$\boldsymbol{\overline{A \times B \times C \times D} = \overline{A} + \overline{B} + \overline{C} + \overline{D}}$$

مثال (2):بسط المعادلة الآتية باستخدام قواعد الجبر المنطقي؟

$$Y = \overline{(A + B \times C)} + \overline{CA}$$

الحل :

بتطبيق قانون ديمورغان الأول والثاني نجد :

$$Y = (\overline{A} \times \overline{B \times C}) + \overline{CA}$$

$$Y = \overline{A}(\overline{B} + \overline{C}) + (\overline{C} + \overline{A})$$

نوزع الضرب : $Y = \overline{A} \times \overline{B} + \overline{A} \times \overline{C} + \overline{C} + \overline{A}$

نخرج A عامل مشترك : $Y = \overline{A}(\overline{B} + \overline{C} + 1) + \overline{C}$

وحسب القاعدة (2) فإن : $\overline{B} + \overline{C} + 1 = 1$

نعوض فنجد أن: $Y = \overline{A} + \overline{C}$ وهو المطلوب.

تمارين

1- بسط المعادلة الآتية :

$$Y = ABC + AB\overline{C} + A\overline{B}C$$

2- أثبت صحة العلاقة الآتية باستخدام قواعد الجبر المنطقي:

$$(A+B)(B+C)(C+\overline{A}) = (A+B)(C+\overline{A})$$

3- أثبت صحة العلاقات الآتية:

- $AB + BC + C\overline{A} = AB + \overline{A}C$

- $\overline{A}\,\overline{B} + \overline{A}B + AB + A\overline{B} = 1$

- $A = ABC + AB\overline{C} + A\overline{B}C + A\overline{B}\,\overline{C}$

- $Y = \overline{ABC + A\overline{B}C + \overline{A}BC}$

الفصل الثالث

البوابات المنطقية

Logic Gates

مقدمةIntroduction:

يستند عمل كل من الأنظمة والإلكترونيات الرقمية وعلم هندسة الحاسبات الإلكترونية على الدارات المنطقية، والتي بدورها تبنى من وحدات أساسية تسمى (البوابات المنطقية).

هذه الأنظمة الرقمية تبنى على أساس التعامل مع مستويين من الكمون لا ثالث لهما الأول يسمى الصفر المنطقي والثاني يسمى الواحد المنطقي.فالترانزيستور في هذه الأجهزة الرقمية يُسمح له بأن يعمل في حالة القطع Cut-off(أي حالة عدم تمرير التيار)، أو في حالة الإشباع Saturation (أي حالة تمرير التيار الأعظمي)، ولا يُسمح له بالعمل في المنطقة الفعّالة من منحني الخواص الخاص به.

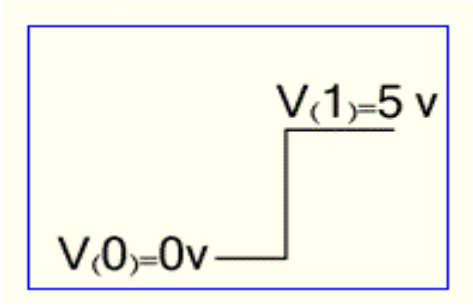
و للاختصار سوف نرمز للصفر المنطقي بـ: 0و نرمز للواحد المنطقي بـ: 1(تماماً كما درسنا في النظام الثنائي).

3-1 المنطق الموجب والمنطق السالب

نرمز لمستويات الجهد التي تمثل الواحد المنطقي "1" بالرمز V(1)ونرمز لمستويات الجهد التي تمثل الصفر المنطقي "0" بالرمز V(0)وتختلف هذه المستويات وفقاً للمنطق المستخدم في تصميم الدارات المنطقية (المنطق الموجب أو المنطق السالب) ولنوع العائلة المنطقية كما سيمر معنا.

أ -المنطق الموجب Positive Logic:

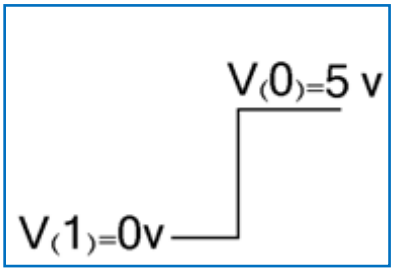
ويكون فيه مستوى الجهد العالي High Level ممثلاً للمستوى المنطقي "1" أما الجهد المنخفض Low Level فيمثل المستوى المنطقي "0" ومثال ذلك ، استخدام مستوى الجهد "+5V" لتمثيل "1" ومستوى الجهد "0V" لتمثيل "0" كما هو مبين في الشكل (3-1) .



الشكل (3-1)

تمثيل المنطق الموجب

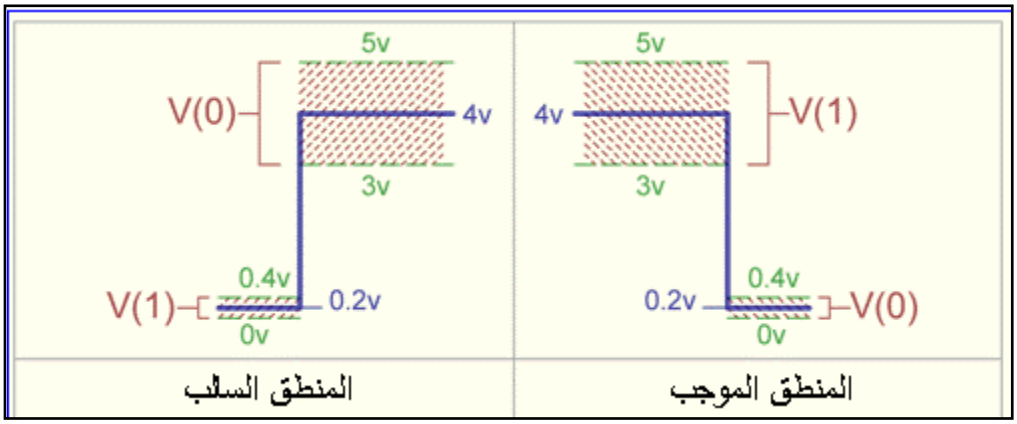
ب- المنطق السالب Negative Logic



الشكل (3-2)

تمثيل المنطق السالب

يتم تحقيقه باستخدام مستوى الجهد المنخفض لتمثيل "1" منطقي ومستوى الجهد العالي لتمثيل "0" منطقي ، ويبين الشكل (3-3) مستويات الجهد السابقة ونجد أن مستوى "5V+" يمثل الـ "0" منطقي ومستوى الجهد "0V" يمثل الـ "1" منطقي .في الحقيقة إن سويةالصفر المنطقي V(0)أو سوية الواحد منطقي V(1)هي عبارة عن مجال من الجهود وليست قيمة واحدة محددة فالصفر المنطقي مثلاً يتراوح من (0 فولت إلى 0,4 فولت) أما الواحد المنطقي فيتراوح من (3 فولت إلى 5 فولت) كما يبين الشكل(3-3).



الشكل (3-3)سويات المنطق الموجب والسالب

3-2 جبر بولBoolean Algebra:

كما ذكرنا سابقاً فإنه يطلق على جبر بول اسم الجبر المنطقي، وهو كما بينا في الفصل الثاني يُعدُّ أحد المرتكزات الأساسية في تصميم الدارات المنطقية الداخلة في تركيب الحاسوب.

وذكرنا أن الفضل في وضع أسسه وقواعده يعود إلى العالم الرياضي جورج بول

الذي وضع نظرياته في منتصف القرن التاسع عشر.

3-2-1 المتحول المنطقيLogic Variable:

يُسمّى المتحول متحولاً منطقياً إذا حقق إحدى القيمتين: الصواب Trueأو الخطأ False، وكما نلاحظ أن هذا المنطق لا يوجد فيه احتمال لقيمة ثالثة، مما يذكرنا بنظام العد الثنائي، وبناءً عليه يمكننا استخدام أرقام نظام العدّ الثنائي "1" لتمثيل حالة الصوابTrue و "0" لتمثيل حالة الخطأFalse.

3-2-2 التابع المنطقيLogic Function:

عندما ترتبط المتحولات المنطقية معاً بمجموعة من العلاقات المنطقية تُكوّن ما يُسمّى "التابع المنطقي"، وهذا التابع يأخذ إحدى القيمتين: صواب True أو خطأ False، مثال:

$$Y = (a \text{ And } b) \text{ or } c$$
or
$$Y = (a.b) + c$$

3-3 العمليات المنطقية Logic Operations:

يقصد بالعمليات المنطقية: العمليات التي تطبق على المتحولات المنطقية. وتقسم إلى: عمليات منطقية أساسية وعمليات منطقية مشتقة

3-3-أالعمليات المنطقية الأساسية: Basic logic operations

وتضم:

1. عملية(AND Operation)AND.

2. عملية OR(OR Operation).

3. عملية NOT(NOT Operation).

تُسمّى العمليتان الأولى والثانية، عملية ثنائية Binary Operation لأنَّ كلاً منهما تحتاج إلى متحولين منطقيين على الأقل، بينما تسمى العملية الثالثة عملية أحادية لأنها تتعامل مع متحول منطقي واحد فقط.

تمثيل العمليات المنطقية جبرياً:

يتم تمثيل العمليات المنطقية باستخدام مجموعة من الإشارات الجبرية (+ ، . ، −)
فلو افترضنا أن A و B متحولان منطقيان، فإن العمليات المنطقية على هذين المتحولين يمكن تمثيلها كالآتي:

1. **عملية AND تمثل بـ(B.A)**: وهي تساوي "1" إذا كان كل من (A) و(B) مساوياً "1"، وتساوي "0" إذا كان أحدهما أو كلاهما مساوياً "0".

2. **عملية OR تمثل بـ (B+A)**: وهي تساوي "1" إذا كان أحدهما أو كلاهما مساوياً "1"، وتساوي "0" إذا كان كلاهما مساوياً "0".

3. **عملية NOT تمثل بـ ($\bar{A}$)**: وهي تساوي "1" إذا كان (A) مساوياً "0" والعكس بالعكس، أي أنها تقوم بعكس قيمة المتحول المنطقي.

جداول الحقيقة Truth Tables:

هي جداول خاصة تستخدم لوصف العمليات المنطقية إذ يحتوي هذا الجدول على كل الاحتمالات الممكنة للمتحولات المنطقية (أي الاحتمالات الممكنة للدخل) ، وعلى ناتج العملية لكل حالة من هذه الاحتمالات.ويرتبط عدد الاحتمالات الممكنة بعدد المتحولات بحسب العلاقة:

$$\text{عدد الاحتمالات} = 2^n$$

حيث أن (n) هي عدد المتحولات المنطقية.

فإذا كان عدد المتحولات (2)، فإن عدد الاحتمالات هو (4). وبناءً عليه يظهر في الجدول (1) جداول الحقيقة للعمليات الأساسية للبوابات المنطقية ذات المدخلين.

A	B	A.B	A+B	$\overline{A}$	$\overline{B}$
0	0	0	0	1	1
1	0	0	1	0	1
0	1	0	1	1	0
1	1	1	1	0	0

الجدول (1): جدول الحقيقة للعمليات المنطقية الأساسية

3-3-بالعمليات المنطقية المشتقة:

سُمّيت بهذا الاسم لأنها مشتقة من العمليات المنطقية الأساسية، وتضم:

1. عملية(NAND): وقد أخذت التسمية من (Not AND).
2. عملية (NOR): وقد أخذت التسمية من (Not OR).
3. عملية "عدم التكافؤ" (XOR): وقد أخذت التسمية من (Exclusive OR)، وفيها يكون ناتج العملية يساوي "1" إذا اختلفت قيمتا المتحولين و"0" إذا تساوت قيمتا المتحولين.
4. عملية "التكافؤ" (XNOR): وقد أخذت التسمية من (Exclusive NOR).

وفيها يكون ناتج العملية يساوي "0" إذا اختلفت قيمتا المتحولين و"1" إذا تساوت قيمتا المتحولين.

A	B	NAND	NOR	XOR	XNOR
0	0	1	1	0	1
1	0	1	0	1	0
0	1	1	0	1	0
1	1	0	0	0	1

الجدول (2): جدول الحقيقة للعمليات المنطقية المشتقة

3-4 البوابات المنطقية Logic Gates :

تُسمّى الدارات الإلكترونية المصممة والمستخدمة لتحقيق وتنفيذ العمليات المنطقية (المعادلات الجبرية لجبر بول) بالبوابات المنطقية، لذا تعد البوابات المنطقية التطبيق العملي للعمليات المنطقية .

إن البوابات المنطقية هي أبسط العناصر المنطقية المتوفرة في الأسواق والتي تستخدم في عمليات التصميم المنطقي،حيث تصنع هذه البوابات ضمن دارات متكاملة (Ics) بحيث تحوي كل دارة متكاملة مجموعة من البوابات يختلف عددها حسب نوع البوابة وعدد مداخلها.

تقسم البوابات المنطقية إلى بوابات منطقية أساسية، وبوابات منطقية مشتقة.

3-4-أالبوابات المنطقية الأساسية:

سمّيت بهذا الاسم لأنها مشتقة من العمليات المنطقية الأساسية، وتضم:

1-بوابة AND

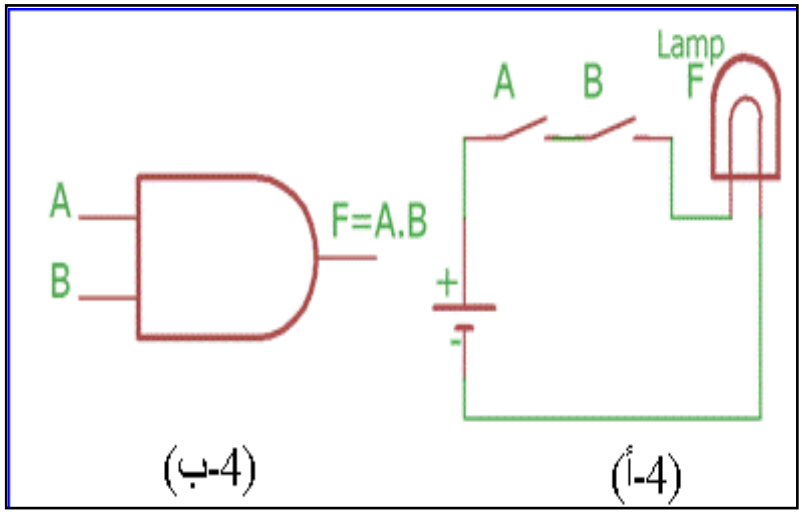
يمكن أن يكون لبوابة AND مدخلان أو أكثر لكن لها مخرج وحيد وتعمل وفقاً للمبدأ التالي :

يكون مخرج البوابة ANDفي الحالة (1 منطقي) بشرط أن تكون جميع المداخل في الحالة (1 منطقي) .

ويكون مخرج البوابة AND في حالة (0 منطقي) إذا أخذ أحد المداخل الحالة (0 منطقي).

تمثيل بوابة AND:

يمكن تمثيل بوابة ANDذات المدخلين بالدارة الكهربائية البسيطة المبيّنة في الشكل (4–أ)، حيث يمثل A و B مفتاحين كهربائيين هما مدخلا البوابة، ويمثل F مخرجها. فإذا كان أي من المفتاحين أو كلاهما في حالة فصل OFF، فلن يمر تيار كهربائي في الدارة، ولن يضئ المصباح الكهربائي F. والحالة الوحيدة التي يمر فيها تيار كهربائي هي عندما يكون كل من المفتاحين A و Bمغلقين أي حالة التوصيل ON. ويبيّن الشكل (3–4–ب) رمز بوابة AND بمدخلين.



الشكل (3–4)

الدارة الكهربائية التي تمثل بوابة AND ورمزها

علاقة بوابة AND:

ترتبط مداخل ومخرج البوابة ANDبالعلاقة:

$$F = A \text{ and } B$$
OR
$$F = A.B$$

وتقرأ هذه العلاقة كالآتي: (F تساوي A و B) أو(F=AandB).

جدول الحقيقة لبوابة AND:

A	B	F = A.B
0	0	0
1	0	0
0	1	0
1	1	1

الجدول (3): جدول الحقيقة لبوابة AND

2-بوابة OR:

يمكن أن يكون لبوابة OR مدخلان أو أكثر لكن لها مخرج وحيد وتعمل وفقاً للمبدأ التالي:

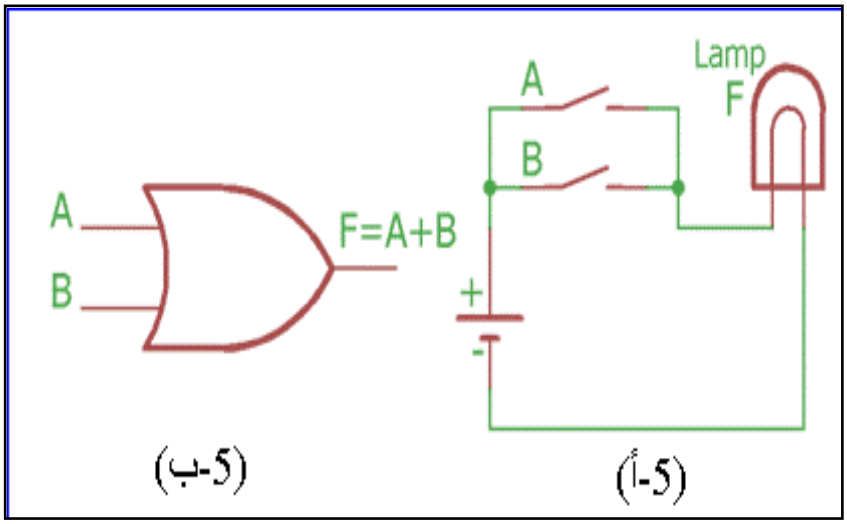
يكون مخرج البوابةORفي الحالة (1 منطقي) إذا كان مدخل أو أكثر في

الحالة (1 منطقي).

و يكون مخرج البوابة ORفي الحالة (0 منطقي) إذا كانت جميع المداخل في الحالة (0 منطقي) .

تمثيل بوابة OR:

يمكن تمثيل بوابة OR بالدارة الكهربائية البسيطة المبيّنة في الشكل (5–أ)، والتي تحتوي على مفتاحين A و B موصولين على التوازي. وفي حالة وصل أي من المفتاحين أو كلاهما، فإن تياراً سيسري في الدارة المغلقة، مما يؤدي إلى إضاءة المصباح F. والحالة الوحيدة التي لا يضئ فيها المصباح هي عندما يكون كل من المفتاحين في حالة فصل OFF. ويبيّن الشكل (3–5– ب) رمز بوابة OR بمدخلين.



الشكل (3-5)

الدارة الكهربائية التي تمثل بوابة OR ورمزها

علاقة بوابة OR:

ترتبط مداخل ومخرج البوابة ORبالعلاقة:

F = A or B

ترتبط OR

وتقرأ هذه العلاقة كالآتي:(F تساوي A أو B (أو (AorB=F).

جدول الحقيقة لبوابة OR

يمكننا تمثيل عمل بوابة (OR) بجدول الحقيقة المبيّن في الجدول (4).

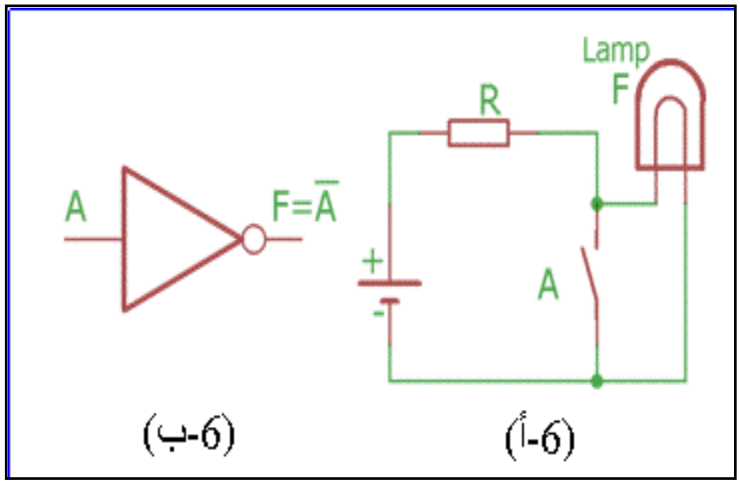
A	B	F = A+B
0	0	0
1	0	1
0	1	1
1	1	1

الجدول (4): جدول الحقيقة لبوابة OR

3-بوابة العاكس NOT:

تتميز بوابة NOTبأن لها مدخلاً وحيداً ولها مخرجاً وحيداً وتعمل وفقاً للمبدأ التالي:**تكون حالة الخرج عكس حالة المدخل.**

تمثيل بوابة NOT:



الشكل(3-6)

الدارة الكهربائية التي تمثل بوابة NOT ورمزها

علاقة بوابة NOT:

يرتبط مخرج البوابة بمدخلها بالعلاقة الآتية:

$$F = Not\ A$$
OR
$$F = \overline{A}$$

وتقرأ هذه العلاقة كالآتي: (F تساوي متمم A(أو (ComplementA=F).

جدول الحقيقة لبوابة NOT

يمكننا تمثيل عمل بوابة NOT بجدول الحقيقة المبيّن في الجدول (5).

A	$F = \overline{A}$
0	1
1	0

الجدول (5): جدول الحقيقة لبوابة NOT

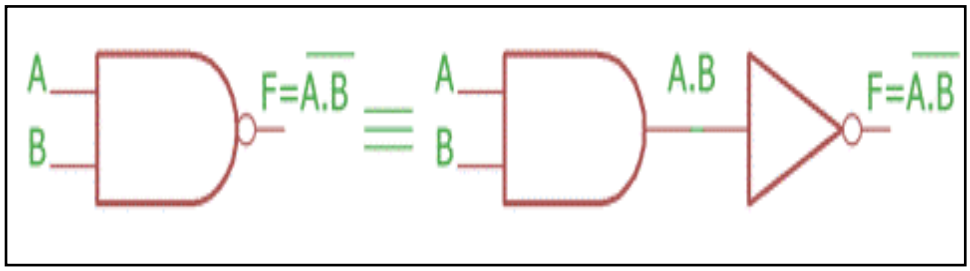
3-4-ب البوابات المنطقية المشتقة:

سمّيتبهذا الاسم لأنها مشتقة من البوابات المنطقية الأساسية، وتضم:

1-بوابة NAND:

وهي بوابة مشتقة من بوابة ANDتليها بوابة NOT، كما هو مبيّن في الشكل (3-7-أ). يكون لبوابة NANDمدخلان أو أكثر لكن لها مخرج وحيد وتعمل وفقاً للمبدأ التالي: **يكون مخرج البوابة NANDفيالحالة (0 منطقي) فقط عندما تكون جميع المداخل في الحالة (1 منطقي)** .

ويبيّن الشكل (7-ب) رمز بوابة NANDبمدخلين



الشكل (3-7)

بوابة NAND بمدخلين

علاقة البوابة NAND:

ترتبط مداخل ومخرج البوابة NANDبالعلاقة:

$$F = \overline{A.B}$$

جدول الحقيقة لبوابة NAND:

يبيّن الجدول (6) جدول الحقيقة لهذه البوابة.

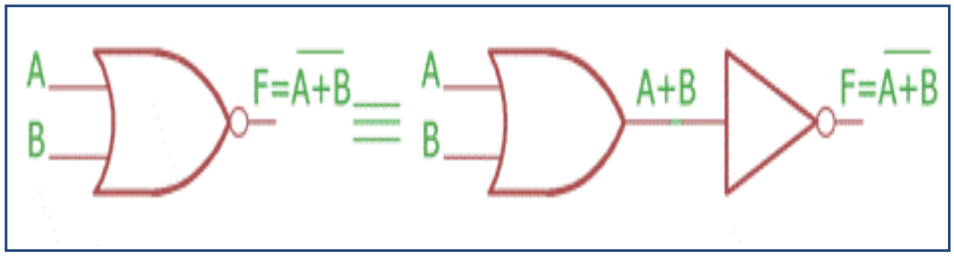
A	B	$\overline{A.B}$
0	0	1
1	0	1
0	1	1
1	1	0

الجدول (6): جدول الحقيقة لبوابة (NAND)

2-بوابة NOR:

وهي بوابة مشتقة من بوابة NORتليها بوابة NOT، كما هو مبيّن في الشكل (8-أ).يكون لبوابة NORمدخلان أو أكثر لكن لها مخرج وحيد وتعمل وفقاً للمبدأ التالي: **يكون مخرج البوابة NORفيالحالة (1 منطقي) فقط إذا كانت جميع المداخل في الحالة (0 منطقي)** .

ويبيّن الشكل (3-8-ب) رمز بوابة NORبمدخلين،



الشكل (3-8)

بوابة NOR بمدخلين

علاقة بوابة NOR:

يرتبط مخرج هذه البوابة بمدخليها بالعلاقة:

$$F = \overline{A + B}$$

وتقرأ هذه العلاقة كالآتي:

F تساوي متمم (A أو B)

أو F=Complement (AORB) .

جدول الحقيقة لبوابة NOR

يبيّن الجدول (6) جدول الحقيقة لهذه البوابة.

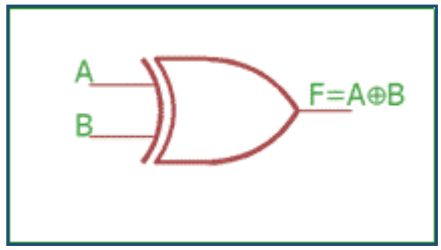
A	B	
0	0	1
1	0	0
0	1	0
1	1	0

الجدول (7): جدول الحقيقة لبوابة (NOR)

3-بوابة XOR (عدم التكافؤ):

وهي بوابة يظهر واحد "1" على مخرجها إذا كان مدخلاها مختلفين، بينما يظهر صفر"0" على مخرجها إذا كان مدخلاها متماثلين.

ويبيّن الشكل (3-9) رمز هذه البوابة:



الشكل (3-9)

رمز بوابة XOR

علاقة بوابة XOR:

يمكن التعبير عن العلاقة المنطقية لبوابة XORكما يلي:

$$F = A \oplus B$$
$$or$$
$$F = \overline{A}.B + A.\overline{B}$$

جدول الحقيقة لبوابة XOR:

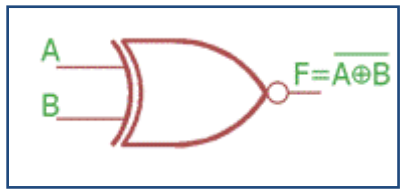
يبيّن الجدول (8) جدول الحقيقة لهذه البوابة.

A	B	$A \oplus B$
0	0	0
1	0	1
0	1	1
1	1	0

الجدول (8): جدول الحقيقة لبوابة (XOR)

3-بوابة XNOR (التكافؤ):

وهي تعاكس عمل بوابة XOR، إذ يظهر واحد "1" على مخرجها إذا كان مدخلاها متماثلين، بينما يظهر صفر "0" على مخرجها إذا كان مدخلاها مختلفين. ويبيّن الشكل (3-10) رمز هذه البوابة:



الشكل (3-9)

رمز بوابة XNOR

علاقة بوابة XNOR:

يمكن التعبير عن العلاقة المنطقية لبوابة XNORكما يلي:

$$F = \overline{A \oplus B}$$

or

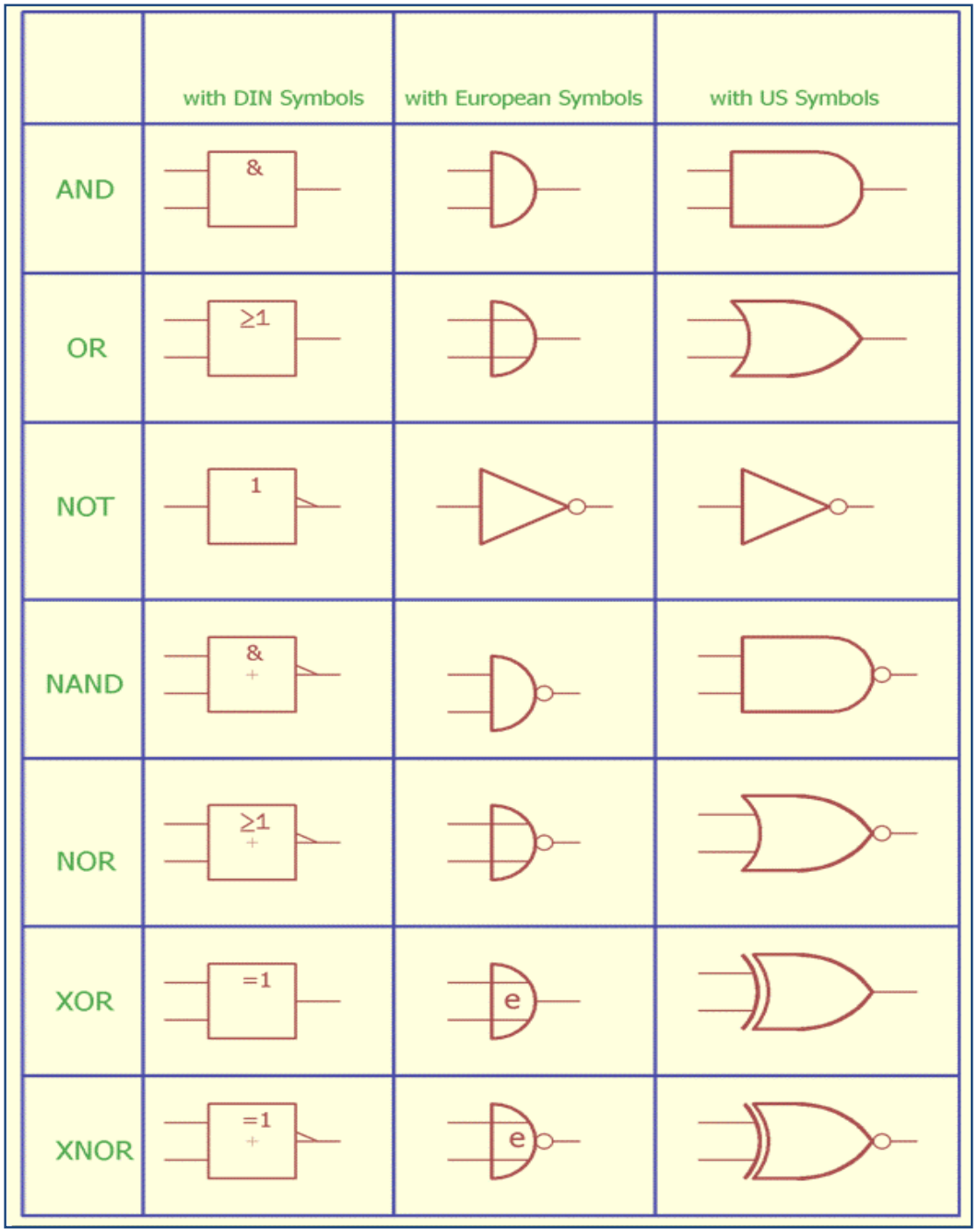
$$F = A.B + \overline{A}.\overline{B}$$

جدول الحقيقة لبوابة XNOR:

يبيّن الجدول (9) جدول الحقيقة لبوابة XNOR.

A	B	$\overline{A \oplus B}$
0	0	1
1	0	0
0	1	0
1	1	1

الجدول (9): جدول الحقيقة لبوابة (XNOR)



الشكل (3–10)رموز البوابات المنطقية

تمارين:

1. كيف تحصل على بوابة (NOT) باستخدام بوابة (NAND)
2. كيف تحصل على بوابة (NOT) باستخدام بوابة (NOR)
3. صمم بوابة (AND) باستخدام بوابات (NAND)
4. صمم بوابة (AND) بأربعة مداخل باستخدام بوابات (AND) بمدخلين
5. صمم بوابة (OR) بأربعة مداخل باستخدام بوابة (OR) بمدخلين
6. صمم بوابة (XOR) باستخدام بوابات (NAND)
7. كيف نبني بوابة (NOR) باستخدام بوابات (NOT) و (AND)
8. كيف نبني بوابة (NAND) باستخدام بوابات (NOT) و (OR)

الفصل الرابع

بنية دارات البوابات المنطقية

Logical Gates Circuits structure

مقدمةIntroduction:

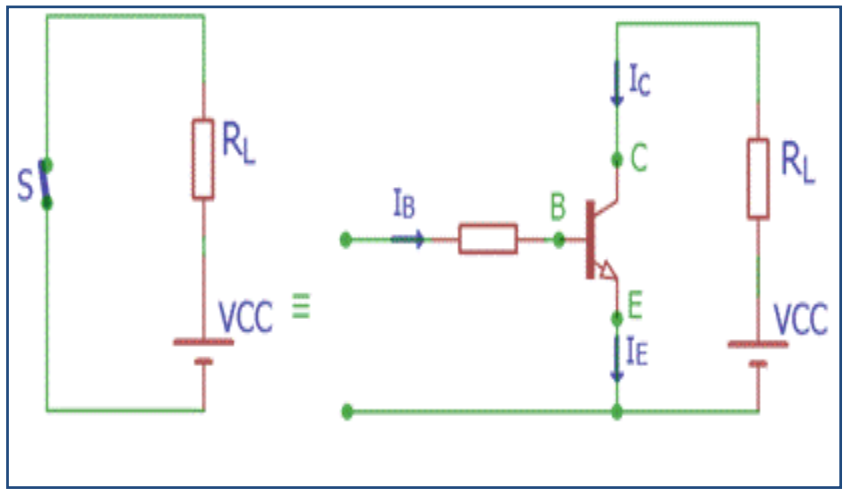
لابد وأنك تعرفت من خلال دراستك للترانزستور ثنائي القطبية على مناطق تشغيله الثلاث: المنطقة الفعالة، ومنطقة القطع Cut–off، ومنطقة الإشباعSaturation وكنا غالباً نستخدم الترانزستور في المنطقة الفعالة، والتي يطلق عليها أيضاً منطقة التشغيل الخطي. حيث يعمل الترانزستور في هذه المنطقة مكبراً للإشارة (Signal Amplifier).

عند عمل الترانزستور في منطقتي القطع Cut–Offوالإشباع Saturation ، فإنه يتصرف كمفتاح يؤدي إلى وصل دارات الأحمال الكهربائية وفصلها.

ويبيّن الشكل (4–1–أ) دارة الترانزستور عند عمله كمفتاح لوصل مقاومة الحمل (R_L) وفصلها عن منبع التغذية (V_{cc})، كما يمثل الشكل (4–1–ب)

الدارة المكافئة باستخدام المفتاح (S). وستتعرف لاحقاً على خصائص أداء

الترانزستور في منطقتي القطع والإشباع Saturation .



الشكل (4-1)

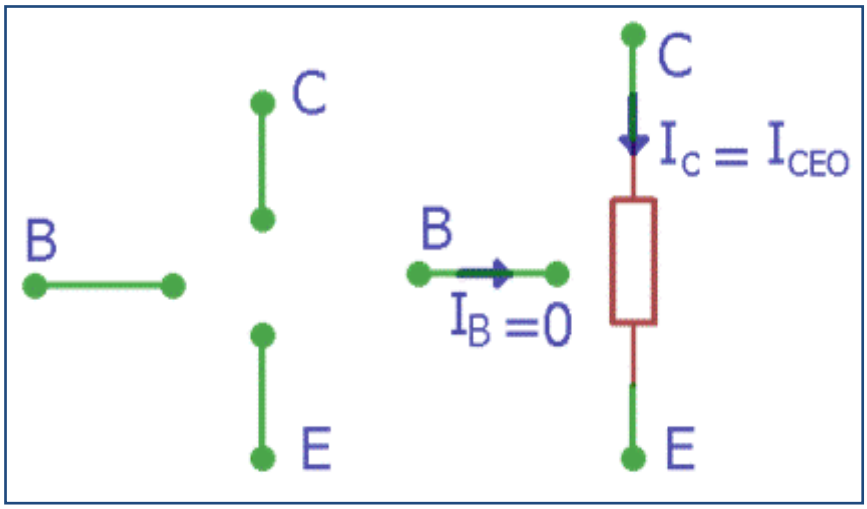
المفتاح الترانزستوري البسيط

أ-منطقة القطع Cut-off Region

يعمل الترانزستور في حالة القطع عندما تكون كل من وصلتي القاعدة الباعث (المشع) والقاعدة المجمع منحازة انحيازاً عكسياً، ويتم ذلك عندما يكون تيار

القاعدة يساوي صفراً. ويترتب على ذلك سريان تيار التسريب العكسي I_{CEO} في دارة المجمع، وهو ذو قيمة صغيرة جداً تعتمد على درجة الحرارة.

ونتيجة لذلك، فإن جهد منبع التغذية يكون مطبقاً بكامله ما بين الباعث (المشع) والمجمع $V_{CE}=V_{CC}$. ويبيّن الشكل (4–2) الدارة المكافئة العملية والمثالية للترانزستور عند عمله في منطقة القطع.



الشكل (4–2)

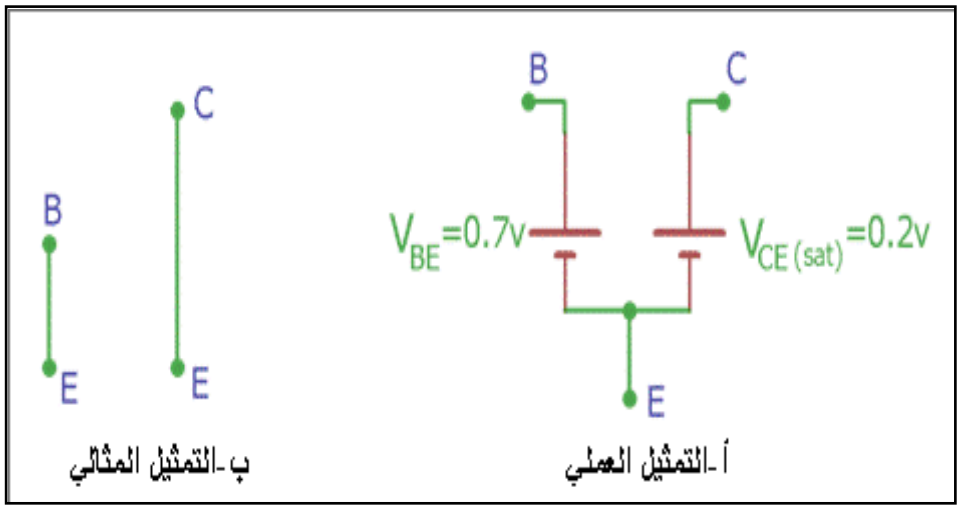
الدارة المكافئة للترانزستور في منطقة القطع

ب–منطقة الإشباع Saturation Region:

يعمل الترانزستور في حالة الإشباع Saturation عندما تكون كل من وصلتي القاعدة الباعث (المشع) والقاعدة المجمع منحازة انحيازاً أمامياً، ويتم ذلك عندما يكون تيار القاعدة يساوي تيار الإشباع للقاعدة (تيار القاعدة التشبعي) $I_{B(sat)}$

.وإذا زاد تيار القاعدة بحيث أصبح أكبر من $I_{B(sat)}$، فإن ذلك يؤدي إلى تناقص جهد المجمع حيث يصبح أقل من جهد القاعدة، وعند الوصول إلى الحد الذي تكون عنده وصلة القاعدة المجمع منحازة انحيازاً أمامياً، وبجهد انحياز أمامي V_{BC} مساوياً (0.5v) تقريباً، فإنه يمكن القول بأن الترانزستور أصبح في حالة الإشباع. وبما أن V_{BE} للترانزستور المصنوع من السيليكون تساوي (0.7v) تقريباً، فإن جهد المجمع يكون أعلى من جهد الباعث (المشع) بـ (0.2v) تقريباً، كما هو مبيّن في الشكل (4-3).

يرمز للجهد بين المجمع والباعث (المشع) عند الإشباع بالرمزSaturation $V_{CE(sat)}$، ويساوي (0.2v) تقريباً للترانزستور المصنوع من السيليكون.



الشكل (4-3)

الدارة المكافئة للترانزستور في منطقة الإشباع

4-1 بناء دارات البوابات المنطقية الأساسية:

يكون للبوابات المنطقية عموماً عدّةمداخل ولها خرج وحيد فقط، ويمكننا تنفيذ داراتها باستخدام المفاتيح الميكانيكية أو الحاكمات الكهرومغناطيسية أو الثنائيات أو الترانزستورات. أما فيما يتعلق بوحدتنا هذه فسندرس بناء الدارات المنطقية الأساسية باستخدام المفاتيح الترانزستورية .

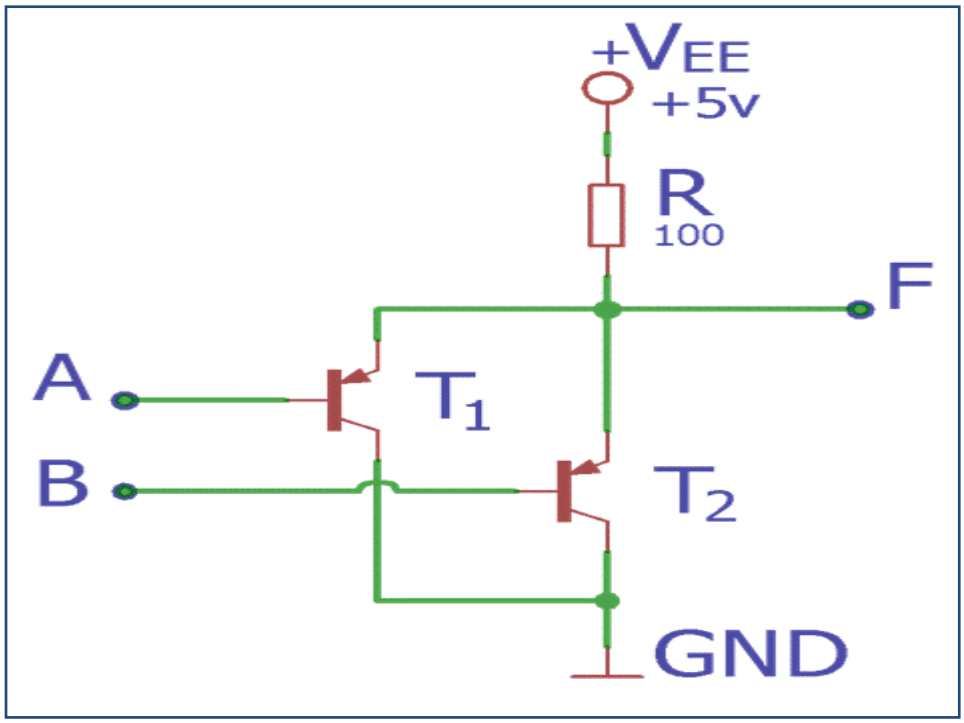
1-بناء بوابة AND:

يبيّن الشكل (4-4) الدارة الالكترونية لبوابة AND بمدخلين، وهي مكونة من مفتاحين ترانزستوريين نوع pnp موصولين على التوازي، ويمثل الرمزان Aو B مدخلي هذين الترانزستورين، بينما يشير الرمز F إلى مخرج البوابة الوحيد.

علاقة بوابة AND:

بالرجوع إلى جدول الحقيقة لهذه البوابة،يمكن شرح عملها كالآتي:

- عندما يكون كلا المدخلين في الحالة (1 منطقي)، فإن الترانزستورين يكونان في حالة القطع مما يؤدي إلى ارتفاع حالة الخرج إلى الحالة (1 منطقي).
- إذا كان أحد المدخلين أو كلاهما في الحالة (0 منطقي) فإن الترانزستور المتصل به يكون في حالة الإشباع Saturation حيث ينخفض جهد الخرج إلى الحالة (0 منطقي).



الشكل (4-4)

الدارة الالكترونية لبوابة (AND) بمدخلين

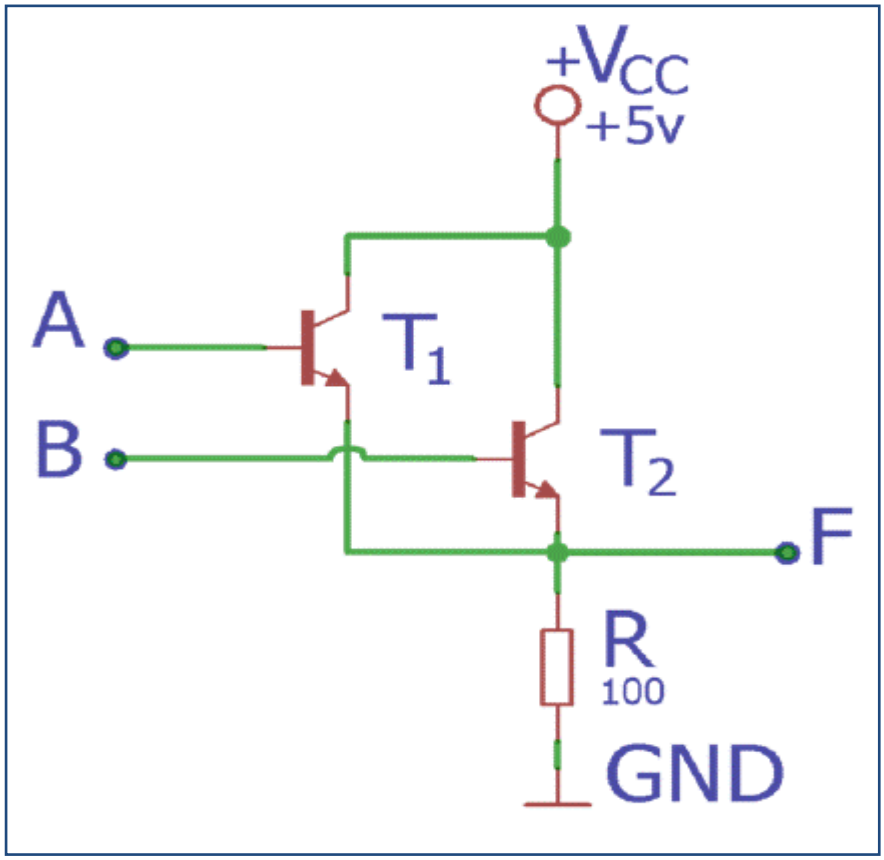
والسؤال الذي يطرح نفسه ويترك للطالب إجابته ما عدد الاحتمالات الممكنة لحالة الخرج لدارة بوابة (AND) ذات أربعة مداخل؟ بيّن هذه الاحتمالات

2-بناء بوابة OR:

يبيّن الشكل (4–5) دارة بوابة OR بمدخلين تتكون هذه الدارة من مفتاحين ترانزستوريين نوع npn موصولين على التوازي، ويمثّل الرمزان A و B مدخلي هذين الترانزستورين، بينما يشير الرمز F إلى خرج البوابة الوحيد.

وبالرجوع إلى جدول الحقيقة لهذه البوابة، يمكن شرح عملها كالآتي:

- عندما يكون أحد المداخل أو أكثر في الحالة (1 منطقي)، فإن الترانزستور الذي يتصل بذلك المدخل يكون في حالة إشباع Saturation ، ومن ثم فإن خرج الدارة يكون (1 منطقي).
- عندما تكون جميع المداخل في الحالة (0 منطقي)، فإن جميع الترانزستورات تكون في حالة قطع، وينخفض جهد الخرج إلى الحالة (0 منطقي).



الشكل(4-5)

الدارة الالكترونية لبوابة (OR) بمدخلين

3-بناء بوابة NOT:

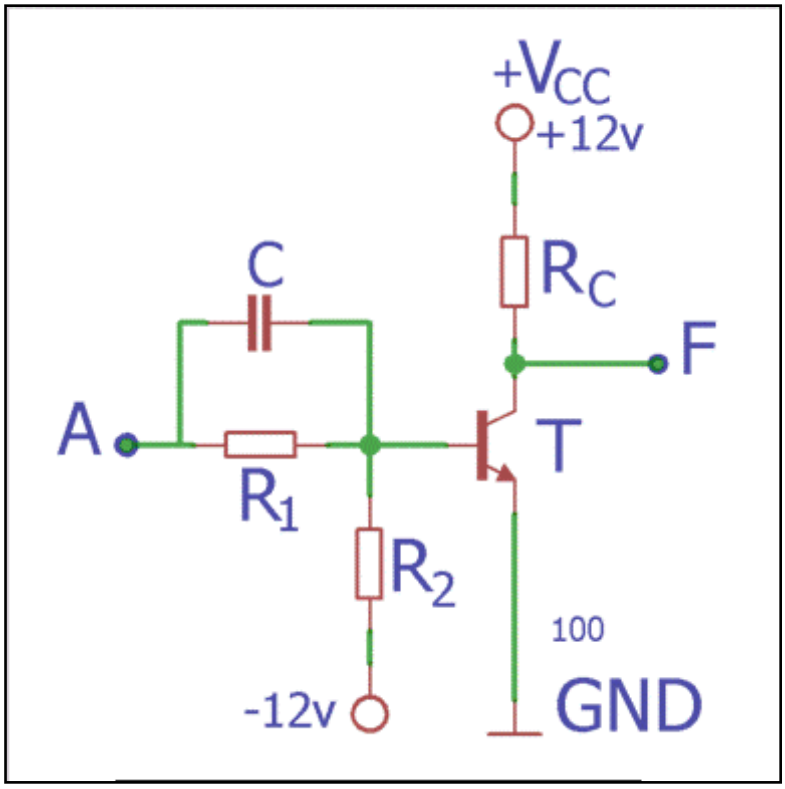
تعد كل دارة مفتاح ترانزستوري بسيط (توصيلة المشع المشترك) دارة بوابة NOT، ويبيّن الشكل (4-6) إحدى هذه الدارات.

وبالرجوع إلى جدول الحقيقة لهذه البوابة، يمكن شرح عملها كالآتي:

- إذا كان جهد الدخل في الحالة (0 منطقي)، فإن الترانزستور يكون في حالة قطع، وبذلك يكون الخرج في الحالة (1 منطقي).

- إذا كان جهد الدخل في الحالة (1 منطقي)، فإن الترانزستور يكون في حالة إشباع Saturation ، وبذلك يكون الخرج في الحالة (0 منطقي).

- وتعمل المقاومة(R_1) على الحد من تيار القاعدة عند ارتفاع جهد الدخل.



الشكل (4-6)

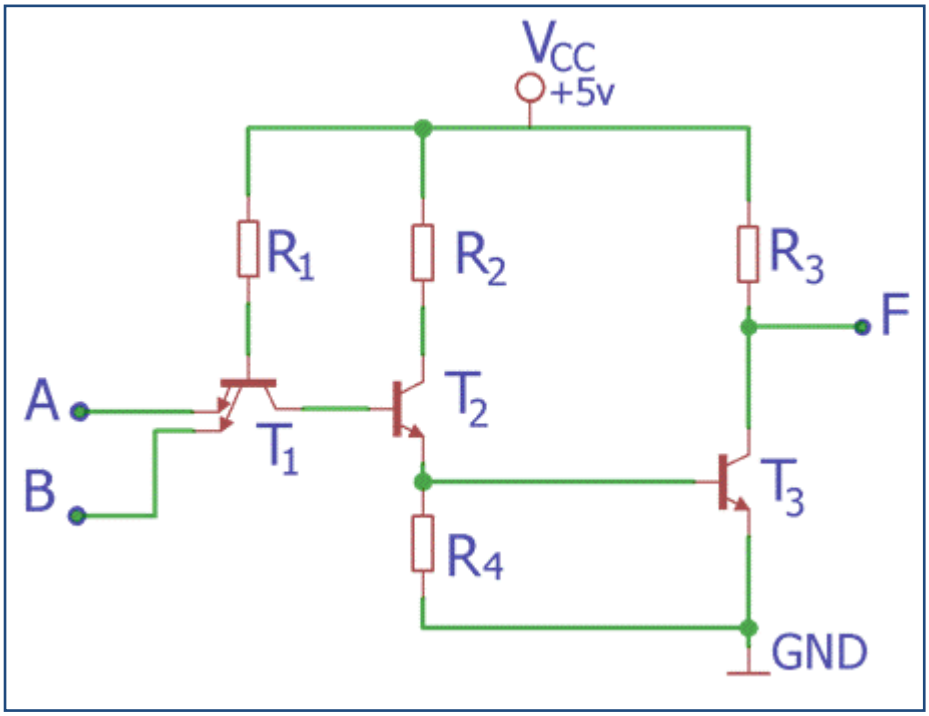
الدارة الالكترونية لبوابة (NOT)

والسؤال الذي يطرح هنا هو: ما وظيفة كل من المقاومة (R_2) والمكثف (C) في الشكل (4-6) .

4-2 بناء دارات البوابات المنطقية المشتقة

1-بناء بوابة NAND:

تعرف بوابة (NAND) بأنها البوابة التي يكون خرجها في الحالة (0 منطقي) عندما تكون جميع مداخلها في الحالة (1 منطقي)، ويكون خرجها في الحالة (1 منطقي) عند جميع الاحتمالات الأخرى للمداخل. ويبيّن الشكل (4-7) دارة بوابة (NAND)، وتتكون من الترانزستور (T_1) وهو من نوع ثنائي الباعث (المشع) (Double-Emitter Transistor) بالإضافة إلى الترانزستورين (T_2) و (T_3). ويمثل (A) و (B) مدخلي البوابة، بينما يمثل (F) خرجها الوحيد.



الشكل (4-7)

الدارة الالكترونية لبوابة (NAND) بمدخلين

وبالرجوع إلى جدول الحقيقة لهذه البوابة، يمكن شرح عملها كالآتي:

* عندما يكون أحد المداخل أو أكثر في الحالة المنطقية (0 منطقي)، يكون الترانزستور (T_1) في حالة توصيل، ونتيجة لذلك ينخفض جهد مجمعه مما يؤدي إلى أن يصبح كل من الترانزستورين (T_2) و (T_3) في حالة القطع. عندها يصبح خرج البوابة في الحالة (1 منطقي).

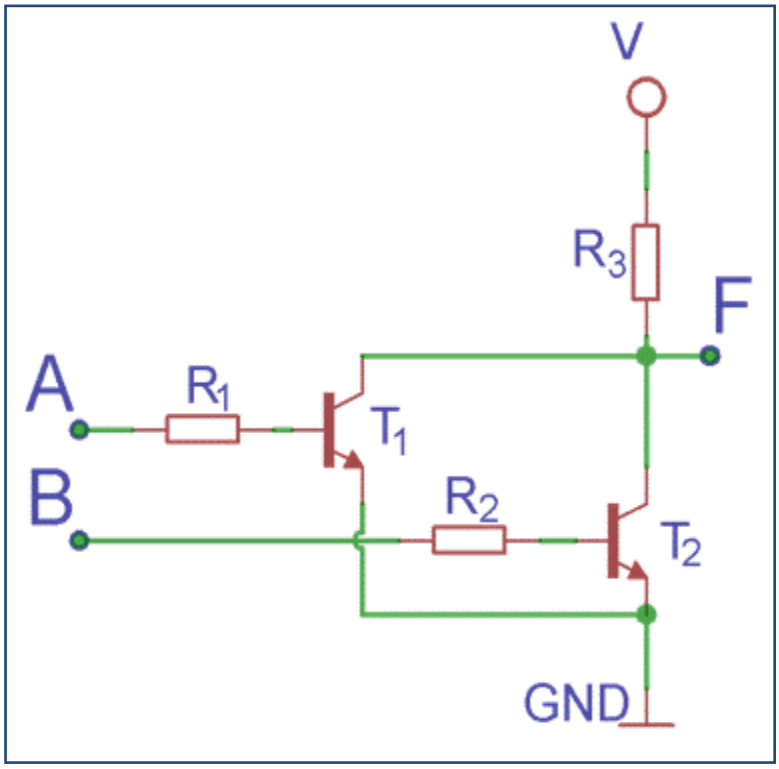
*عندما تكون جميع المداخل في الحالة (1 منطقي)، يكون الترانزستور (T_1) في حالة القطع، فيزداد جهد مجمعه مما يؤدي إلى توصيل الترانزستور (T_2)، ويصبح الترانزستور (T_3) في حالة الإشباع Saturation . وينتج عن ذلك انخفاض جهد الخرج إلى الحالة (0 منطقي).

2-بناء بوابة NOR:

يبيّن الشكل (4-8) دارة بوابة (NOR) بمدخلين،

وتعمل هذه البوابة كالآتي:

- عندما يكون أي من مدخلي(قاعدتي) الترانزستورين (T_1) أو (T_2) ذا جهد عالٍ، فإن الترانزستور يصبح في حالة تشبع، ومن ثم فإن جهد الخرج يصبح في الحالة (0 منطقي).
- عندما يكون جهد جميع المداخل في الحالة (0 منطقي)، فإن جميع الترانزستورات تكون في حالة قطع، وبذلك يرتفع الخرج إلى الحالة (1 منطقي).

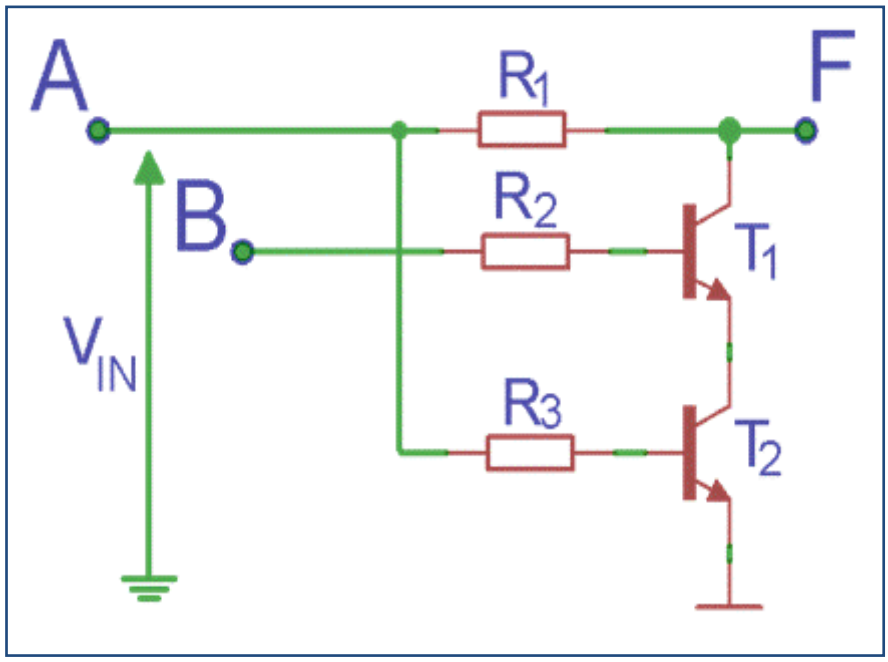


الشكل (4-8)

الدارة الالكترونية لبوابة (NOR) بمدخلين

3-بناء بوابة XOR:

تعرف بوابة (XOR) بأنها البوابة التي يكون مخرجها في الحالة (0 منطقي) عندما تكون جميع مداخلها متماثلة (1 منطقي) أو (0 منطقي)، ويكون هذا الخرج في الحالة (1 منطقي) إذا كانت مداخلها مختلفة. ويبيّن الشكل (4-9) دارة بوابة (XOR).



الشكل (4-9)

الدارة الالكترونية لبوابة (XOR) بمدخلين

والسؤال الذي يمكن سؤاله هنا هو كيف تعمل الدارة المبينة في الشكل (4-9)، مع مقارنة العلاقة بين الخرج والمداخل مع جدول الحقيقة للبوابة (XOR)؟

4-3 العائلات المنطقية Logic Families

تصنف البوابات والدارات المنطقية ضمن عائلات تتميز عن بعضها بالبناء الداخلي للبوابة وبالعناصر الالكترونية المستخدمة (كالمقاومات والثنائيات والترانزستورات بأنواعها) في بناء هذه البوابة أو الدارة المنطقية.

وحسب نوع العناصر الأساسية الداخلة في تركيب البوابات المنطقية، تصنّف **هذه البوابات في عائلات منها:**

1. عائلة منطق مقاومة–ترانزستور(Resistor–Transistor Logic: **RTL**).

2. عائلة منطق ثنائي–ترانزستور (Diode–Transistor Logic: **DTL**).

3. عائلة منطق ترانزستور–ترانزستور (Transistor–Transistor Logic: **TTL**).

4. عائلة منطق (معدن–أكسيد المعدن–نصف ناقل) المتتام (Complementary Metal Oxide Semiconductor: **CMOS**)

5. عائلة Emitter Coupled Logic (**ECL**)

وتختلف كل عائلة عن الأخرى من حيث خصائص الأداء التي تُميّز العائلات المنطقية عن بعضها البعض . كما أن مستويات المنطق (Logic Level) ضمن العائلة الواحدة تكون متماثلة، إلا أنها تختلف من عائلة لأخرى أيضاً. ومن الخصائص التي يقارن عن طريقها بين أداء عائلة وأخرى، ما يلي:

1. **الاستطاعة المستهلكة من قبل البوابة**: وتقاس عادة بالميلي واط (mW)، وهي تحدد نوع منبع التغذية الواجب استخدامه، ومتطلبات التبريد اللازمة.

2. **زمن التأخير (سرعة الانتشار)**: يقيس مدى سرعة التغير في خرج الدارة المنطقية من مستوى منطقي معين إلى مستوى آخر، عند تغير أحد مداخلها أو أكثر، ويقاس هذا الزمن بالنانوثانية(Nanosecond).

3. **السرعة**:هي مقياس مدى تكرار البوابة (الدارة المنطقية) لأدائها دون أن يحدث خطأ في هذا الأداء، وتقاس بالميغاهيرتز (MH_z).

4. **المناعة للضجيج**: هي مقياس لمدى التغير في إشارة الدخل للبوابة التي يمكن استيعابها دون أن تغير البوابة مستوى خرجها بشكل غير صحيح، ويقاس بالميلي فولت (mV) أو بالفولت (V).

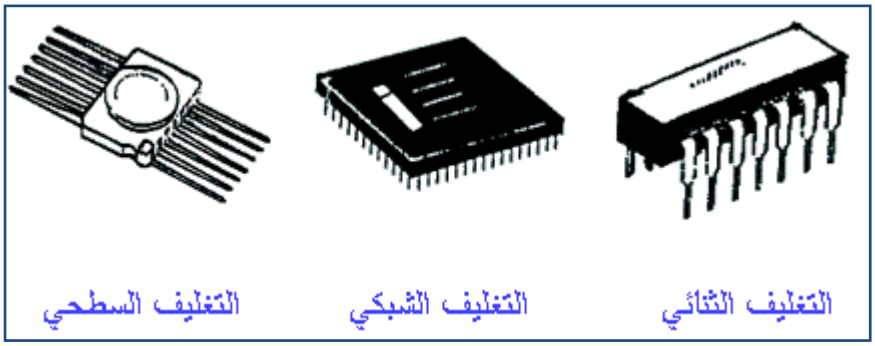
4-4 تغليف الدارات المنطقية المتكاملة:

تغلف رقائق الدارات المنطقية المتكاملة بغلاف بلاستيكي أو بغلاف سيراميكي، بحيث تبرز أطرافها المعدنية (Pins) لأغراض التوصيل الخارجي، ويبيّن الشكل (4-10) أنواع التغليف، وهي:

1. **التغليف الثنائي** (Dual-In-Line Package: DIP): هو غلاف من البلاستيك أو السيراميك تثبت فيه الأطراف طولياً في الدارة.

2. **التغليف الشبكي** (Pin Grid Array: PGA):وفيه تكون مجموعة الأطراف مصفوفة وموزعة في مجموعة من الأسطر والأعمدة.

3. **التغليف السطحي** (Flat Package): هو غلاف من السيراميك تكون فيه الأطراف على امتداد سطح الدارة.



الشكل (4-10)

تغليف الدارات المنطقية

4-5 المواصفات الفنية للعائلات المنطقية .

نبين فيما يلي **المواصفات الفنية للعائلات المنطقية** بشكل مبسط :

4-5-1-عائلة منطق ترانزستور- ترانزستور (TTL)

تُعد من العائلات الأكثر انتشاراً، وتستخدم "تقنية الترانزستورات ثنائية القطبية"، وتمتاز بالمواصفات المعيارية الآتية:

1. جهد التغذية: +5v ±10%
2. الاستطاعة المستهلكة: 10mW
3. زمن التأخير: 10ns
4. التردد الأعظمي (السرعة):35MHz
5. المناعة ضد الضجيج: عالية (قد تصل إلى 1v).

4-5-2 العائلات الفرعية من TTL

نتيجةً لمتطلبات تخفيض استهلاك القدرة TTLظهرت عائلات فرعية من العائلة وزيادة السرعة وزيادة حمل الخرج يبينها الجدول (11).

حيث تتصف كافة العائلات الفرعية للـ TTL بأنها متآلفة مع بعضها أي لها:

1. نفس مصدر التغذية (+5v).
2. نفس المستويات المنطقية في كل من الدخل والخرج كما يبين الجدول (1).
3. متطابقة من حيث وظائف الأرجل Pins.

لكن يجب الانتباه إلى أن عوامل تحميل(عدد البوابات المسموح بوصلها إلى خرج بوابة ما و يسمى أيضاً "الخرج المروحي") هذه العائلات الفرعية مختلفة.

المستوى المنطقي	1 منطقي High	0 منطقي Low
دخل البوابة	من 2 إلى 5 فولت	من 0 إلى 0.8 فولت
خرج البوابة	من 2,4 إلى 5 فولت	من 0 إلى 0,4 فولت

الجدول (1)

يبين بعض مستويات الدخل والخرج القياسية لعائلةTTL

ويظهر الجدول (2) أيضاً مقارنة بين بعض العائلات الفرعية لـ TTL :

العائلات	Standard TTL	Low-power TTL	High speed TTL	Low-power Schottky TTL	Advanced Low-power Schottky TTL
تسمية العائلة	عائلة TTL المعيارية	عائلة TTL منخفضة الاستطاعة	عائلة TTL عالية السرعة	عائلة شوتكي TTL منخفضة الاستطاعة	عائلة شوتكي TTL المتطورة منخفضة الاستطاعة
سنة الظهور	1963	1967- 1981	بعد عام 1979	بعد عام 1969	بعد عام 1980
رمزها المختصر	74xx	74Lxxx	74Hxxx	74LSxxx	74ALSxxx
استهلاك الاستطاعة في البوابة	10 mW	1 mW	22 mW	2 mW	1 mW
زمن التأخير في البوابة	10 nSec	33 nSec	6 nSec	10 nSec	4 nSec

جدول (2)

يبين بعض المواصفات الفنية لعائلات فرعية من عائلة TTL

4-5-3 الأنواع التجارية لعائلة TTL

يتوافر في الأسواق أنواع تجارية مختلفة من عائلة TTL، يبدأ بعضها بالرقم (74) ويحتاج إلى جهد تغذية(5v ±5%) ويعمل في مدى حراري (0-° 70 م)، ويبدأ بعضها الآخر بالرقم (54) ويحتاج إلى جهد تغذية (5v ±10%) ويعمل في مدى حراري (55-°125° م).

يبيّن الشكل (4-11) بعض أشكال الدارات المنطقية .

يستخدم في أحدها فتحة Notch،لتحديد موقع الطرف (1).

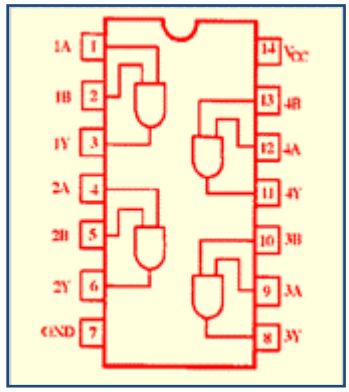
ويستخدم في الأخرى نقطة Dot لتحديد موقع الطرف (1).

وبعد أن يتم تحديد الطرف رقم (1) تحدد بقية الأطراف، بمتابعة العد بعكس عقارب الساعة حتى الطرف الأخير، مع مراعاة النظر إلى الدارة من الأعلى عند تنفيذ عملية العد.

TTLالشكل (4–11)دارات منطقية متكاملة من نوع

4–5–4 ترميز رقاقات الدارات المنطقية المتكاملة:

يقدم مصنعو الدارات المنطقية المتكاملة معلومات إضافية عن هذه الدارات، وذلك بتوفير رسوم توضيحية تبيّن أرقام الأطراف ورموزاً تدل على وظائفها، كما هو مبيّن في الشكل (4–12) للدارة المنطقية المتكاملة (7408).



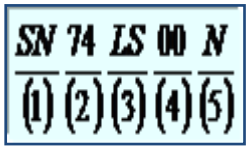
الشكل (4–12)

الدارة المنطقية المتكاملة 7408

توجد طرق مختلفة لترميز رقاقات الدارات المتكاملة، إذ يُشار إلى كل دارة بأرقام وأحرف لكل منها مدلولاً خاصاً به. وعادةً يتكون رمز الدارة المنطقية المتكاملة من خمسة مقاطع، لكل مقطع دلالة خاصة سنبين ذلك بالمثال التالي:

لدينا الدارة المنطقية المتكاملة التي ترميزها هو SN 74 LS 00 N

كما نلاحظ أن هذا الترميز يتألف من خمسة أجزاء كالتالي:



1. **رمز الشركة المصنعة** (Manufacture) : يبين لنا الجدول التالي بعض الشركات المصنعة للدارات الإلكترونية مع رموزها

SN	Texas Instruments	MM	Monolithic Memories
MC	Motorola	P	Intel
DM	National	F	Fairchild
IM	Intersil	AM	Advanced Micro Devices
N	Signetics	M	Marries

جدول (3)

2. **السلسلة الرقمية**(Series) مثل: 40 ، 54 ، 74

3. **تقنية التصنيع**(Techniques) أو العائلة الفرعية، كما يبين لنا الجدول التالي:

H	High Power	HC	High Speed CMOS
L	Low Power	C	CMOS
LS	Low Power Schottky	AS	Advanced Schottky

جدول (4)

4. **وظيفة الدارة** (Functional Type–Unit Number) مثل: 03 ، 02 ، 00

5. **التغليف** (Package) ، كما يبين الجدول التالي:

N	Plastic		**P**	Ceramic		**W**	Flat Pack

جدول (5)

مثال (1):الرقاقة (DM7408N)

DM: رمز الشركة الصانعة.

74: دارة متكاملة نوع (TTL) تعمل عند جهد تغذية (5v ±5%).

08: إشارة إلى وظيفة الدارة المتكاملة، وهي هنا دارة متكاملة ذات (14) طرف (Pin)، وتضم أربع بوابات من نوع (AND) لكل منها مدخلان. ويختلف هذا الرقم من دارة لأخرى، فعلى سبيل المثال:

الرقم (00): يشير إلى دارة ذات أربع بوابات (NAND) في كل منها

مدخلان.

الرقم (04): يشير إلى دارة ذات ست بوابات (NOT).

الرقم (74): يشير إلى دارة قلاب نوع (D) بعنصرين.

الرقم (107): يشير إلى دارة قلاب نوع (J–K) بعنصرين.

N: يرمز إلى نوع التغليف، ويختلف من شركة صانعة لأخرى، وهو هنا يشير إلى تغليف من نوع الثنائي (DIP).

مثال (2): الرقاقة (F74LS08PC)

F : رمز الشركة الصانعة.

74: دارة متكاملة نوع (TTL) تعمل عند جهد تغذية (5v ±5%).

LS: يشير الحرف (S) إلى أن الترانزستور المستخدم هو من نوع شوتكي (Schottky) ويشير الحرف (L) إلى انخفاض استهلاك الدارة من الطاقة (Low Power). وقد تستخدم رموز أخرى للدلالة على خصائص إضافية مثل:

H: إشارة إلى أن سرعة الانتشار عالية.

L: إشارة إلى أن استهلاك الطاقة في الدارة قليل.

S: إشارة إلى أن الترانزستور المستخدم هو من نوع شوتكي.

وإذا لم يتم كتابة أي من هذه الرموز السابقة فهذا يشير إلى أن الدارة من النوع

المعياري.

08 : إشارة إلى وظيفة الدارة المتكاملة، (كما ورد سابقا).

P: يرمز لنوع التغليف، وهو هنا من النوع الثنائي ذو الغلاف البلاستيكي (Plastic DIP).

C : إشارة إلى المدى الحراري (0°-70° م).

4-5-5-عائلة منطق(معدن- أكسيد المعدن- نصف ناقل) المتتام CMOS:

تتكون بوابات هذه العائلة من ترانزستورات الأثر الحقلي من نوع الأكسيد المعدني شبه الناقل. وتمتاز هذه العائلة عن غيرها باستهلاكها القليل للاستطاعة الكهربائية ومناعتها العالية ضد الضجيج، إلا أن عناصرها ذات سرعة قليلة نسبياً، ومن مواصفاتها:

- **جهد التغذية**: يتراوح بين (3 - 15 فولت)
- **ممانعة الدخل**: عالية جداً (بحدود 10^{12} أوم)
- **استهلاك الاستطاعة**: قليل جداً (بحدود 10 نانوواطللبوابة الواحدة)
- **تردد العمل**: (من 8 إلى 20ميغاهرتز حسب جهد التشغيل)
- **الممانعة ضد الضجيج**: عالية

- **زمن التأخير** (سرعة الانتشار): قليلة نسبياً (من 15 إلى 40 نانوثانيةحسب جهد التشغيل)

ويتم ترقيم عائلة ((CMOS بدءاً بالرقم (40)، ومن الأمثلة على ذلك:

- الرقاقة (4001): تشير إلى رقاقة (NOR) ذات أربع بوابات.
- الرقاقة (4011): تشير إلى رقاقة (NAND) ذات أربع بوابات.
- الرقاقة (4070): تشير إلى رقاقة (XOR) ذات أربع بوابات.

ويبيّن الجدول (14) البوابات الأساسية من عائلتي(TTL) و (CMOS) وأرقام رقاقاتها.

البوابة	عدد المداخل	الرقاقة (TTL)	الرقاقة (CMOS)
NOT	1	7404	4069
OR	2	7432	4011
AND	2	7408	4081
AND	3	7411	4073
AND	4	7415	4082
NOR	2	7402	4001
NOR	3	7427	4025
NOR	4	-	4002
NAND	2	7400	4011
NAND	3	7410	4023
NAND	4	7420	4012

جدول (6)البوابات الأساسية من عائلتي TTL و CMOS

6-4 أجهزة فحص البوابات والدارات الرقمية

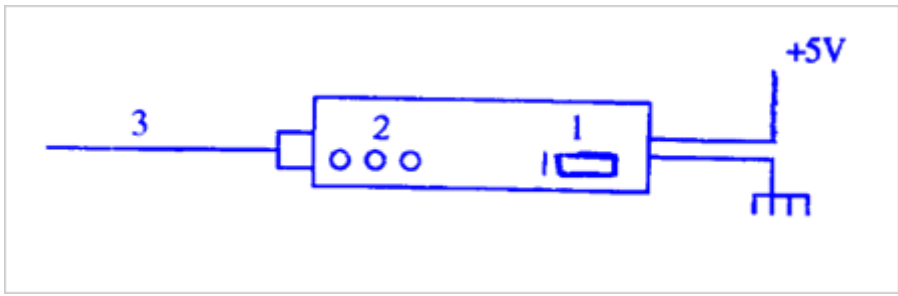
Testing logic circuit devices

يستخدم العديد من أجهزة الفحص لإجراء القياسات اللازمة لمستويات الإشارة، ولتحديد المنطق في الدارات المنطقية، وكذلك لتحديد الأعطال واكتشافها، ومن هذه الأجهزة:

1-المجس المنطقي Logic Probe

يستخدم المجس المنطقي(**Logic Probe**) في فحص الدارات المنطقية، إذ يستطيع تحديد مستويات المنطق وإظهارها، كما يقوم بتحديد النبضات ومستويات الجهد في الدارات المنطقية. ويتكون هذا المجس من وصلتين، يتم وصل الأولى مع منبع الجهد (+5v)، أما الثانية فتوصل مع الأرضي، كما هو مبيّن في الشكل (4-13)، والذي يتكون من:

1. المفتاح، لاختيار نوع العائلة المنطقية المراد فحصها.
2. الثنائيات الباعثة للضوء (LED)، للتحقق من نتيجة الفحص.
3. سلك الفحص.



الشكل (4-13)

المجس المنطقي

ويبيّن الجدول (7) حالة الثنائيات الباعثة للضوء، حيث أن:

- مضئ
- غير مضئ
- مضئ بشكل متقطع

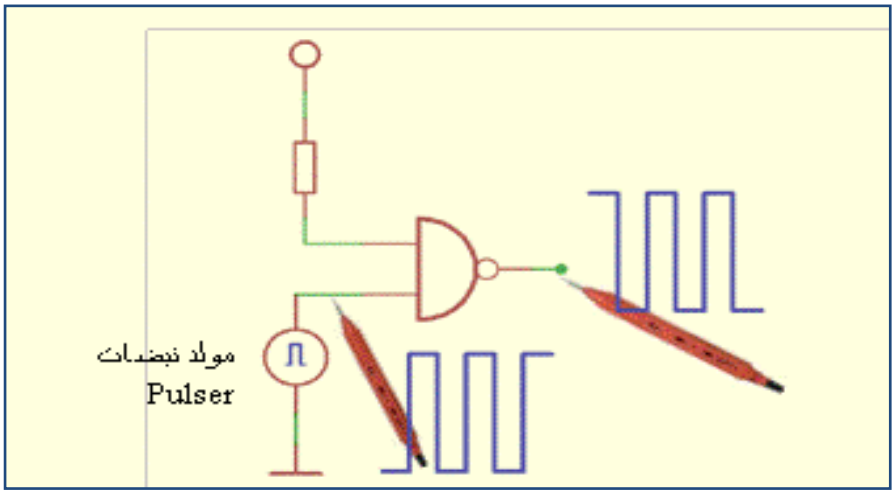
حالة الثنائيات	المستوى		النبضة
	H	L	
مستوى الصفر، لا يوجد نبضات	●	●	●
مستوى الواحد، لا يوجد نبضات	●	●	●
نقطة الفحص مفتوحة أو أن المجس غير موصول بمنبع التغذية	●	●	●
مستوى الصفر للنبضة (موجة صاعدة باتجاه الموجب)	●	●	✹
مستوى الواحد للنبضة (موجة هابطة باتجاه السالب)	●	●	✹

الجدول (7)

حالة الثنائيات في المجس المنطقي

1 -مولد النبضات PULSER :

يستخدم هذا المولد لتوليد النبضات اللازمة لتشغيل الدارات المنطقية ويبين الشكل (4-14) كيفية عمله .



الشكل (4-14)

دارة مولد النبضات

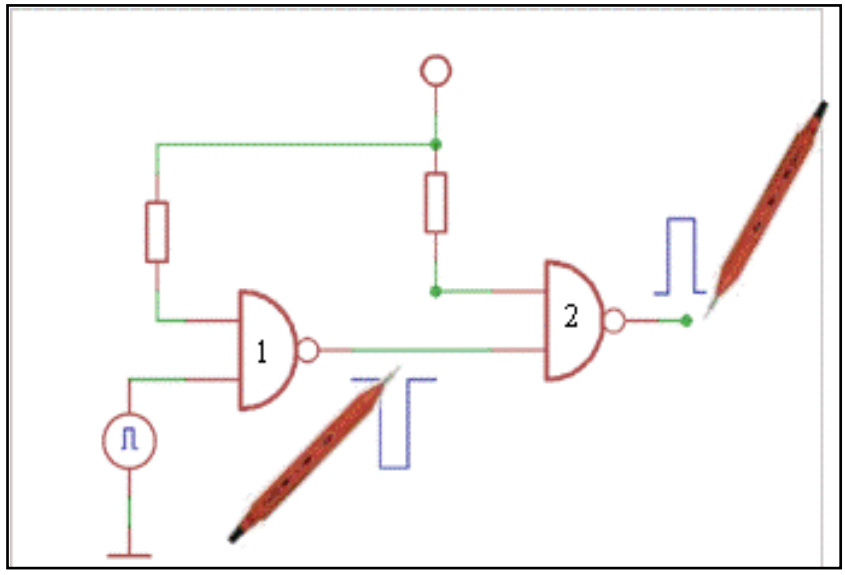
كيفية استخدام المجس المنطقي ومولد النبضات لفحص البوابات والدارات المنطقية

نوضح في المثالين الآتيين عمل المجس المنطقي ومولد النبضات في فحص البوابات والدارات المنطقية:

المثال الأول:

سنبين في هذا المثال فحص دارة منطقية مكونة من بوابتين منطقيتين تعملان بشكل جيد، عند وصل مولد النبضات بأحد مدخلي البوابة الأولى، فإنه ينتج على مخرج البوابة الأولى نبضة باتجاه معاكس لاتجاه نبضة المولد(بوابة NAND)والتي

تؤدي بدورها إلى ظهور نبضة على مخرج البوابة الثانية(بوابة NAND) و تكون باتجاه معاكس لنبضة مخرج البوابة الأولى وتماثل اتجاه نبضة مولد النبضات، ولاختبار عمل الدارة يتم وصل المجس المنطقي مع مخرج البوابة الأولى أولاً ثم مع مخرج البوابة الثانية وعندها تظهر حالة المجس المنطقي أن البوابتين تقومان بتمرير النبضات وبالتالي فهما تعملان بشكل جيد.ويبين الشكل (4-15) ذلك.



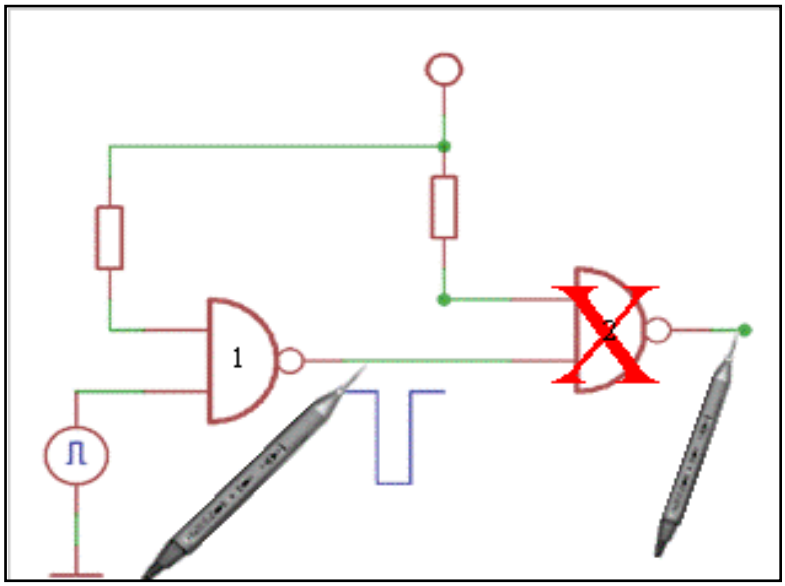
الشكل (4-15)

استخدام مولد النبضات في الفحص

المثال الثاني:

سنبين في هذا المثال فحص دارة منطقية مكونة من بوابتين منطقيتين الأولى بحالة عمل والثانية تالفة،فعند وصل مولد النبضات بأحد مدخلي البوابة الأولى، فإنه ينتج نبضة على مخرج البوابة الأولى و تكون باتجاه معاكس لاتجاه نبضة المولد(لأنها بوابة NAND) وعند وصل المجس المنطقي مع مخرج البوابة الأولى تدل حالته

أن البوابة الأولى تقوم بتمرير النبضة وبالتالي تعمل بشكل جيد ، أما عند وصل المجس المنطقي مع مخرج البوابة الثانية فتشير حالته إلى عدم ظهور نبضة على خرجها مما يدل على أن البوابة الثانية لا تعمل فهي تالفة ويبين الشكل (15-4) ذلك.



الشكل (15-4)

استخدام المجس المنطقي في فحص الدارات

تمارين

1. اختر الإجابة الصحيحة لكل فقرة في كل مما يلي:

a. إذا كانت قيمة التابع(F =B+A) تساوي (0)، فإن:

أ. A=1 , B=0 ب. A=0 , B=1

جـ. A=B=0 د. A=B=1

b. إذا كانت قيمة التابع(F=B.A) تساوي (1) ، فإن:

أ. A=1 , B=0 ب. A=0 , B=1

جـ. A=B=0 د. A=B=1

2. ما المقصود بغلاف الدارة المنطقية المتكاملة؟ عدد أنواع الأغلفة.

3. اذكر أهم الفروقات بين عائلة (TTL) وعائلة (CMOS).

4. قم ببناء بوابة (XOR) باستخدام الدارات المنطقية 7400 ، 7402 ، 7404.

الفصل الخامس

تمثيل واختصار التوابع المنطقية

Representation and Minimization of Logic (Boolean) Functions

5-1 مقدمة INTRODUCTION:

رأينا كيف يمكن استعمال مفهوم تحليل تابع الحقيقة لوضع النموذج الرياضي لنظام منطقي. وتعرفنا أيضاً على قواعد الجبرالبولينيلتحديد طرق معالجة النموذج الرياضي .

وسنجد أنه يمكن تطبيق قواعد الجبر على معالجة وتبسيط العلاقات البولانية وسندرس في هذا الفصل طرق تمثيل التوابع المنطقية واختصارها.

5-2 تمثيل التابع المنطقي ذو متحول واحد F (a)

إنّ المتحول في هذا التابع (*a*) يأخذ إحدى القيمتين:

القيمة (0) أو التوقف أو الخطأ.

القيمة (1) أو التشغيل أو الصح.

إن عدد المتحولات في هذه التوابع هو الذي يبين لنا عدد احتمالات الدخل ففي مثالنا نجد:

عدد احتمالات الدخل = 2^n حيث n عدد المتحولات

إن عدد الاحتمالات هو احتمالين فقط $2^1 = 2$ وهنا $n = 1$.

يتم استخدام جداول تسمى **جداول الحقيقة** لتمثيل هذه التوابع المنطقية حيث يُظهر هذا الجدول كامل احتمالات الدخل (وهي هنا احتمالين) واحتمالات الخرج الموافق لكل احتمال من احتمالات الدخل .

في هذا التابع لدينا :الخرج إما (0) عدم تشغيلأو (1) تشغيل

	input	out put
احتمال الأول	0	?
احتمال ثاني	1	?

الشكل (5-1)

تمثيل تابع ذو متحول واحد

5-3 تمثيل التابع المنطقي ذو متحولين F (a,b)

نرمز لعدد متحولات الدخل بـ $n = 2(n)$

فيكون عدد الاحتمالات في الدخل هو: $2^{(n)}=4$.

مهما كانت عدد الاحتمالات في الدخل فإن الخرج هو إحدى قيمتين كما في التابع السابق:

(0) عدم تشغيل .

(1) تشغيل

ويكون جدول الحقيقة لهذا التابع هو:

عدد الاحتمالات	*input*		*output*
1	0	0	?
2	0	1	?
3	1	0	?
4	1	1	?

الشكل (5-2)

تمثيل تابع ذو متحولين

5-4 تمثيل التابع المنطقي ذو ثلاث متحولات (a,b,c) F

عدد الاحتمالات يساوي $2^n = 2^3 = 8$ حيث عدد المتحولات يساوي $n=3$

فيكون لدينا في هذا التابع ثمانية احتمالات في الدخل كما تبينها لنا جداول الحقيقة له وبالطبع، كما هو الحال، في التوابع السابقة فالخرج لا يأخذ إلا إحدى القيمتين (*0*) أو (*1*) مهما كان احتمال الدخل.

عدد الاحتمالات	الدخل *input*			الخرج *output*
1	0	0	0	?
2	0	0	1	?
3	0	1	0	?
4	0	1	1	?
5	1	0	0	?
6	1	0	1	?
7	1	1	0	?
8	1	1	1	?

الشكل (5-3)

تمثيل تابع ذو ثلاثة متحولات

وبناءً على ما سبق من خلال تمثيل التوابع المنطقية ذات المتحول وذات المتحولين وذات الثلاث متحولات يمكن تعريف جدول الحقيقة بأنه:

5-5 جدول الحقيقة

هو أداة توضيحية تُستخدم لعرض أداء الدارة المتكاملة (بوابة مثلاً) أي أنها تعطي الحالات المنطقية للخرج(1 ، 0) عند كل الحالات المنطقية الممكنة للدخل مهما كان عددها، وهو يستخدم في عمليات التصميم المنطقي وكذلك في برهان نظريات جبر بول .

مثال (1) :

برهن من خلال الجدول التالي أن: $A=A+(A \times B)$

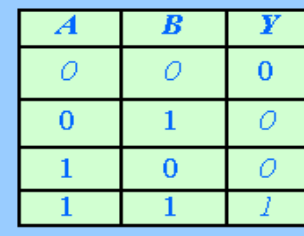
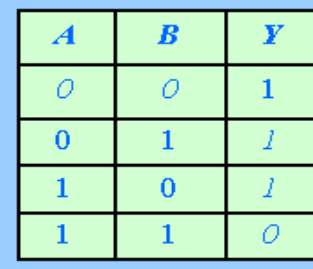
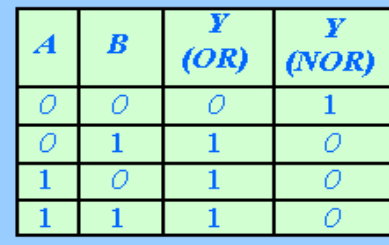
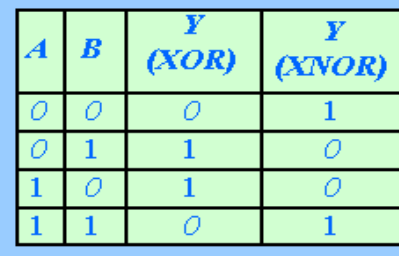
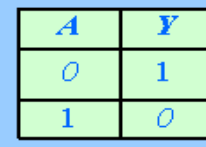
A	B	$(A \times B)$	$A+(A \times B)$
0	0	0	0
0	1	0	0
1	0	0	1
1	1	1	1

الشكل (5-4)جدول التابع A

من هذا الجدول نجد أن :

$$A = A + (A \times B)$$

والجدول الآتي يوضح التوابع المنطقية للبوابات المنطقية الأساسية وجدول الحقيقة لكل منها حيث أن للبوابات الأساسية دخلين وخرج واحد ما عدا بوابة العاكس التي لها دخل واحد وخرج واحد(علماً أنه قد يحوي التابع المنطقي أكثر من مدخلين) ويوضح الشكل (5–5) جدول الحقيقة والتوابع المنطقية للبوابات.

البوابات المنطقية الأساسية	التابع المنطقي	جدول الحقيقة
AND	$Y = A \cdot B$	
NAND	$Y = \overline{A \cdot B}$	
OR NOR	$Y = A + B$ $Y = \overline{A + B}$	
XOR XNOR	$Y = \overline{A}B + A\overline{B}$	
NOT	$Y = \overline{A}$	

A	B	Y
0	0	0
0	1	0
1	0	0
1	1	1

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

A	B	Y (OR)	Y (NOR)
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

A	B	Y (XOR)	Y (XNOR)
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

A	Y
0	1
1	0

5-6 تمثيل التوابع المنطقية:

يتم تمثيل التوابع المنطقية بإحدى طريقتين:

1-باستخدام أنواع مختلفة من البوابات

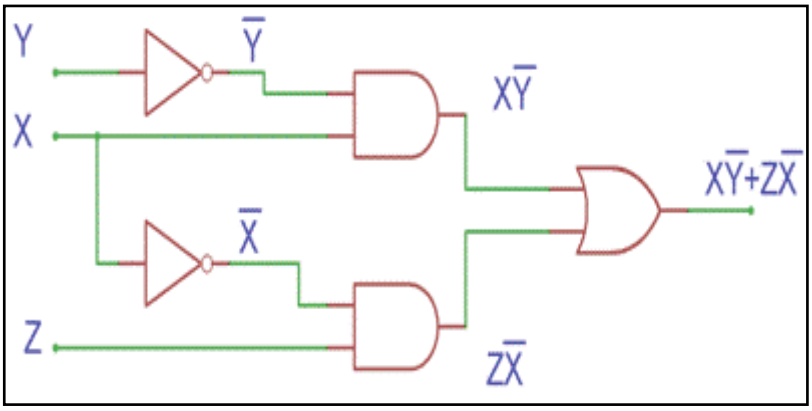
وهنا نضرب الأمثلة الثلاثة الآتية:

مثال (2):

المطلوب تمثيل التابع المنطقي الآتي $W = X\overline{Y} + \overline{X}Z$ باستخدام البوابات المناسبة.

الحل:

يتم تمثيل هذا التابع باستخدام عاكسين وبوابتي *AND* وبوابة *OR* كما في الشكل التالي:



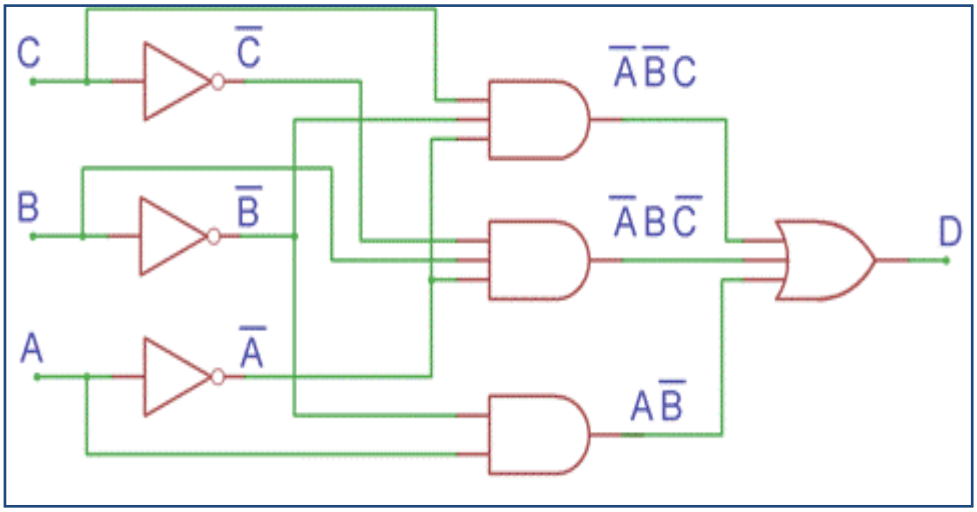
الشكل (5-5)

تمثيل تابع منطقي بوساطة بوابات مختلفة

مثال (3)

ارسم الدارة المنطقية التي تمثل التابع الآتي :

$$D = \overline{A}\,\overline{B}C + \overline{A}B\overline{C} + A\overline{B}$$



الشكل (5–6)

الدارة المنطقية للتابع *D*

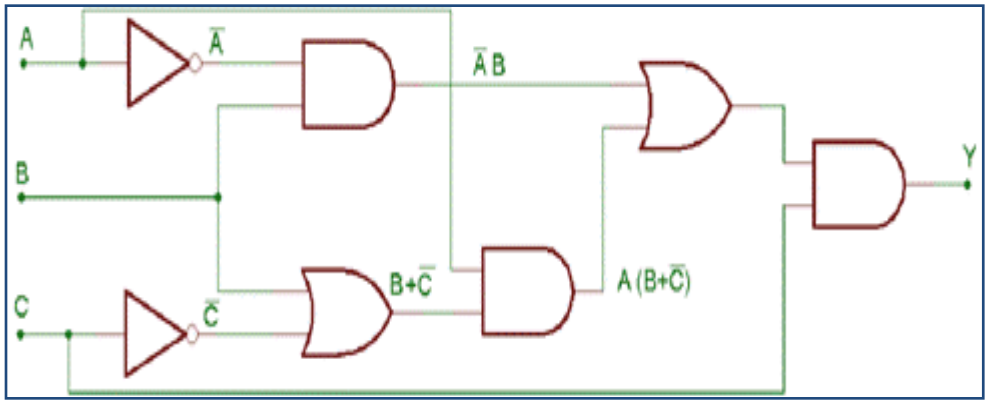
في الشكل (5–6) والأشكال الأخرى التي سترد لاحقاً تعتبر النقطة المعطاة هي نقطة تقاطع. نلاحظ أن إشارات الدخل هي *A,B,C* وتظهر أيضاً الإشارات ولذلك فإننا نحتاج إلى ثلاثة عواكس لتحقيقها وثلاث بوابات *AND* اثنتين منها ذات ثلاثة مداخل وواحدة بمدخلين وبوابة *OR* بثلاثة مداخل لتحقيق التابع كما في الشكل (5–6).

مثال (4)

ارسم الدارة التي تحقق التابع المنطقي التالي :

$$Y = \left[A\left(B + \overline{C}\right) + \overline{A}B \right] \cdot C$$

إن الدارة التي تحقق هذا التابع مبينة في الشكل (5-7).



الشكل (5-7)

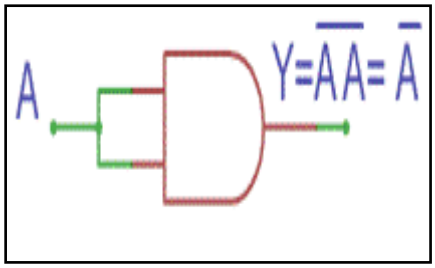
الدارة المنطقية التي تحقق التابع المنطقي Y

2-باستخدام نوع واحد من البوابات :

في هذا النوع من التمثيل يتم استخدام بوابات *NAND* أو بوابات *NOR* وسوف نبدأ بالتعرف على طريقة التمثيل بوساطة بوابات *NAND* .

أ-طريقة التمثيل بوساطة بوابات *NAND*:

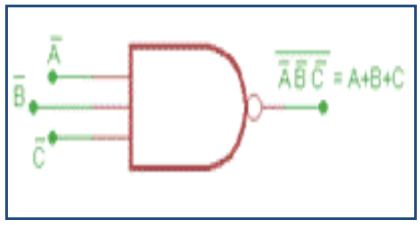
نلاحظ انه يمكن تحقيق بوابة عاكس بوساطة بوابة *NAND* عن طريق وصل مدخليها مع بعض.



الشكل(5-8)

تمثيل العاكس

كما يمكن تحقيق بوابة *OR* بوساطة بوابات *NAND* عن طريق عكس إشارات الدخل وتطبيقها على بوابة *NAND* عدد مداخلها يساوي عدد المتحولات المراد تحقيق تابع *OR* لها. والشكل التالي(5 -9-أ) يوضح ذلك. (اعتماداً على قانون ديمورغان).



$$Y = A + B + C$$

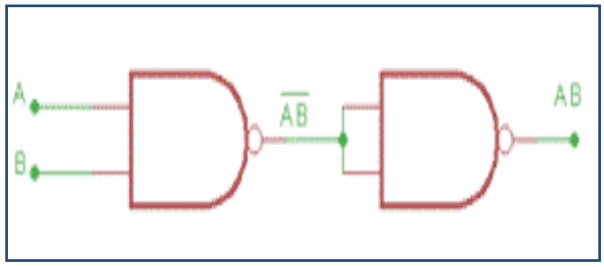
الشكل(5 -9-أ)

تمثيل بوابة *NOR* بوساطة بوابات *NAND* .

وتكون العلاقة المنطقية للبوابة كالتالي:

$$Y = \overline{\overline{A}\cdot\overline{B}\cdot\overline{C}} = \overline{\overline{A}\cdot\overline{B}} + \overline{\overline{C}} = \overline{\overline{A}} + \overline{\overline{B}} + \overline{\overline{C}} = A + B + C$$

كما يمكن تمثيل بوابة *AND* بوساطة بوابات *NAND* وذلك بتطبيق خرج بوابة *NAND* على بوابة *NAND* كعاكس كما يبين الشكل (5 –9– ب) .



الشكل (5 –9– ب)

تمثيل بوابة *AND* بوساطة بوابات *NAND*

ومن خلال المثال الآتي سنلخص خطوات تمثيل التابع المنطقي بوساطة بوابات *NAND*.

مثال (5):

مثل التابع المنطقي الآتي بوساطة بوابات *NAND*:

$$Y = A\left(B + \overline{C}\right) + \overline{B}\,\overline{C} + \overline{A}\,\overline{B}$$

الحل:

1. نكتب التابع بحيث يمكن تحقيقه بوساطة بوابة *OR* أي :

$$Y = AB + A\overline{C} + \overline{B}\,\overline{C} + \overline{A}\,\overline{B}$$

2 . نأخذ عكس التابع مرتين وهذا لا يغير من التابع حسب قوانين جبر بول:

$$Y = \overline{\overline{AB} + \overline{A\overline{C}} + \overline{B\overline{C}} + \overline{\overline{A}B}}$$

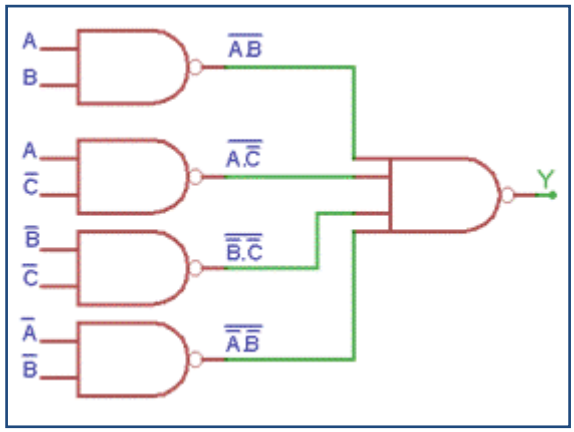
3. نطبق نظرية ديمورغان على التابع وفق مرحلتين :

$$Y = \overline{\overline{(AB + A\overline{C})}.\overline{(BCAB)}}$$

وهذا التابع يمكن كتابته بالشكل التالي:

$$Y = \overline{(\overline{AB}.\overline{A\overline{C}}).\overline{(B\overline{C}.\overline{A}B)}}$$

ويمكن تحقيقه بوساطة بوابات *NAND* كما في الشكل (5–10).



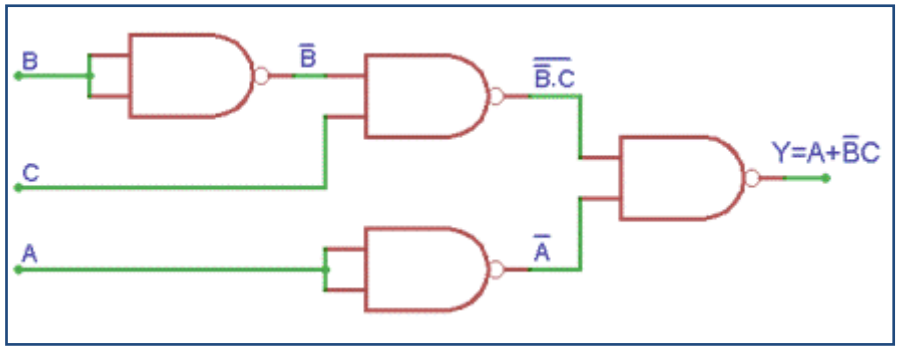
الشكل (5–10)

مثال (6)

مثل التابع المنطقي الآتي بوساطة بوابات NAND : $Y = A + \overline{B}C$

الحل:

من خلال تمثيل العلاقة الأخيرة للتابع Y والمبينة جانباً نحصل على التابع المنطقي المطلوب. والدارة المنطقية الممثلة للتابع مبينة في الشكل (5-11).



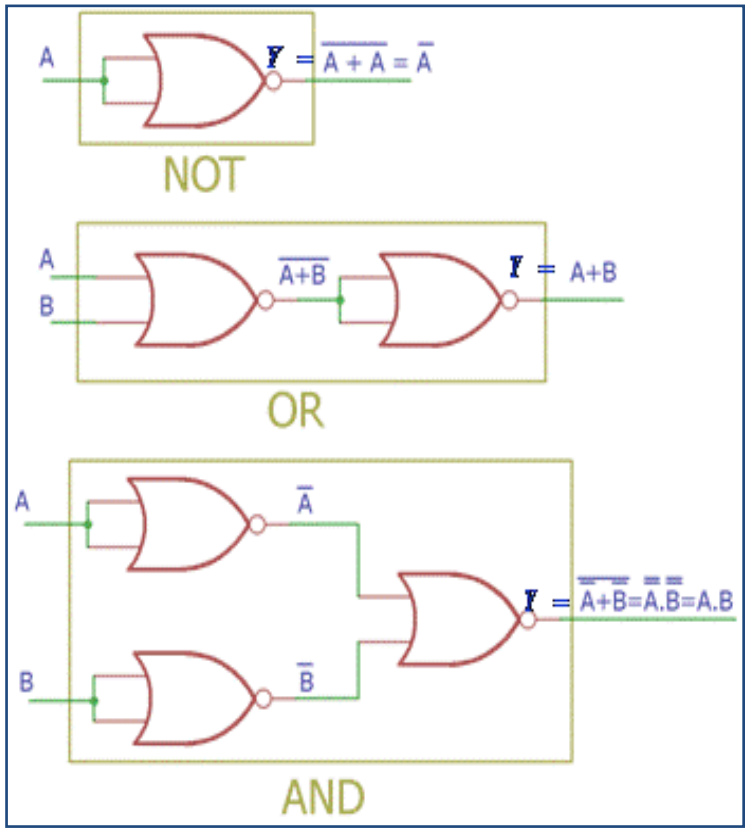
الشكل (5-11)

تمثيل تابع بوساطة بوابات *NAND*

ب-طريقة التمثيل بوساطة بوابات *NOR*

يبين الشكل(5-12) تحقيق التوابع المنطقية الآتية وذلك بوساطة بوابات *NOR* :

- بوابة عاكس بقصر مداخل البوابة *NOR* مع بعضها.
- بوابة *OR* باستخدام بوابتين نوع *NOR*
- بوابة *AND* باستخدام ثلاث بوابات *NOR*



الشكل (5-12)

ولتحقيق تابع منطقي بوساطة بوابات *NOR* اتبع الخطوات التالية:

1. اكتب التابع على شكل جداء أقواس.

2. اعكس التابع مرتين لأن (العكس مرتين لا يؤثر على التابع).

3. طبق قانوني ديمورغان على المتمم الأول.

4. ارسم التابع.

مثال (7) :

يطلب تمثيل التابع الآتي بوساطة بوابات *NOR*:

$$Y = AC + A\overline{D} + A\overline{E} + BC + B\overline{D} + B\overline{E}$$

الحل:

بإخراج (A)، و(B) من الحدود المشتركة نجد:

$$Y = A(C + \overline{D} + \overline{E}) + B(C + \overline{D} + \overline{E})$$

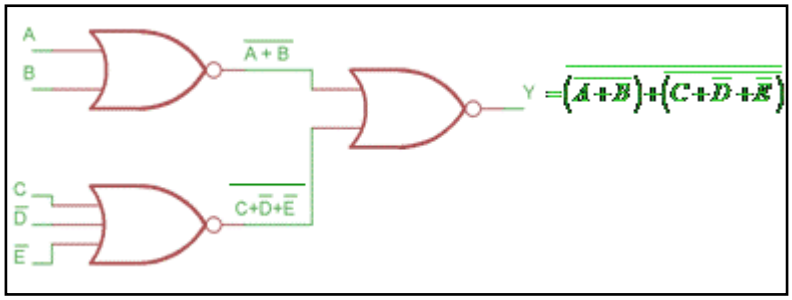
وبإخراج الحد المشترك $(C + \overline{D} + \overline{E})$ خارج قوس ثم بأخذ عكس التابع مرتين نجد:

$$= (A + B)(C + \overline{D} + \overline{E}) = \overline{\overline{(A + B) \cdot (C + \overline{D} + \overline{E})}}$$

وبتطبيق قانون ديمورغان نجد:

$$= \overline{\overline{(A + B)} + \overline{(C + \overline{D} + \overline{E})}}$$

ونلاحظ أن هذا التابع يمكن تمثيله كما يلي:



الشكل (5-13)

الدارة المنطقية للتابع Y

مثال (8):

مثل بوساطة بوابات *NOR* التابع المنطقي الآتي :

$$W = (U + V)(X + \overline{Y} + \overline{Z})$$

الحل :

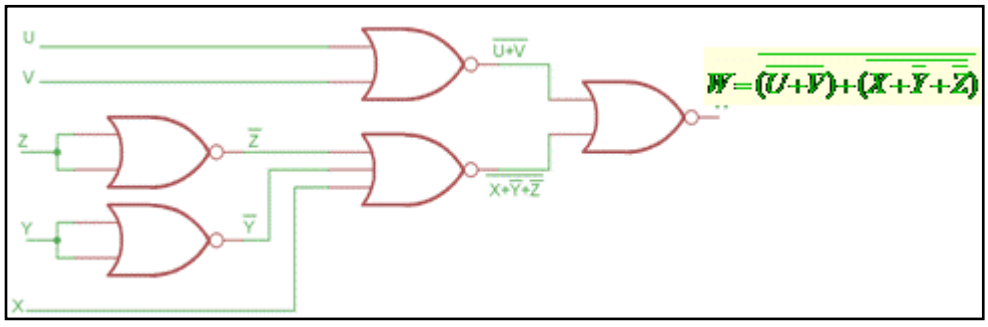
نأخذ عكس التابع مرتين :

$$W = \overline{\overline{(U + V)(X + \overline{Y} + \overline{Z})}}$$

وبفك المعكوس الأول حسب قانون ديمورغان فنحصل على:

$$W = \overline{\overline{(U+V)} + \overline{(X + \overline{Y} + \overline{Z})}}$$

وهذا التابع يمكن تحقيق كما في الدارة المعطاة في الشكل (5-14).



الشكل (5-14)

مثال (9) :

مثل التابع $T = X\overline{Y} + Z$ بوساطة بوابات *NOR* .

الحل:

1. نكتب التابع بالشكل الآتي حيث تم نفي جزأي التابع مرتين:

$$T = \overline{\overline{X \cdot \overline{Y}} + \overline{Z}} = \overline{\left(\overline{X} + \overline{\overline{Y}}\right)} + Z$$

2. نأخذ عكس التابع مرتين فنحصل على العلاقة التالية:

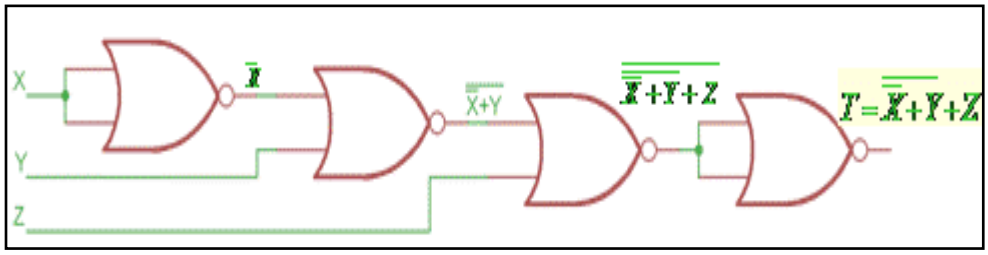
$$T = \overline{\overline{\left(\overline{X} + Y\right)} + Z}$$

وهو شكل التابع الممثل في الشكل (5-15).

3. نفك أول معكوس حسب قانون ديمورغان فنحصل على:

$$T = \overline{\left(\overline{X} + Y\right) \cdot \overline{Z}} = \overline{\left(\overline{X} + Y\right)} + \overline{\overline{Z}}$$

وهذا التابع ممثل بالدارة المبينة في الشكل (5-15).



الشكل (5-15)

دارة التابع T ممثلاً بوساطة بوابات *NOR* .

5-7 تبسيط واختصار التوابع المنطقية

تهدف كل طرق التبسيط إلى تخفيض عدد البوابات والوحدات المنطقية الأساسية اللازمة لتحقيق التابع المنطقي إلى الحد الأدنى وبالتالي تخفيض الكلفة المادية واستهلاك الطاقة الكهربائية.

وأهم طرق تبسيط التوابع المنطقية طريقتان هما:

1 تبسيط التوابع باستخدام قوانين جبر بول وقانوني ديمورغان.

نورد هنا بعض الأمثلة التي توضح الطريقة الأولى في التبسيط باستخدام جبر بول وقانوني ديمورغان:

مثال (10) :

اختصر التابع المنطقي الآتي:

بفك الأقواس

$$\begin{aligned} Y &= (A+B)(A+C)+AC \\ &= A\cdot A+AC+BA+BC+AC \\ &= A+AC+BA+BC+AC \\ &= A(1+C+B+C)+BC \\ &= A(1+B+C)+BC \end{aligned}$$

بإخراج A خارج قوس

واختصار C

مثال (11):

اختصر التابع المنطقي الآتي:

$$Y = A\overline{B}C + AB\overline{C} + A + \overline{A}B$$

الحل:

$$\begin{aligned} Y &= A\overline{B}C + AB\overline{C} + A + \overline{A}B \\ &= A\overline{B}C + AB\overline{C} + A + B \\ &= A\left(\overline{B}C + B\overline{C} + 1\right) + B \\ &= A(1) + B = A + B \end{aligned}$$

بإخراج A خارج

قوس نجد:

مثال (12):

اختصر التابع المنطقي الآتي:

$$D=\bar{A}BC+A\bar{B}C+ABC+B\bar{C}$$

الحل:

بإخراج BC

$$D=\bar{A}BC+A\bar{B}C+ABC+B\bar{C}$$

خارج قوس نجد:

$$=\left(\bar{A}+A\right)BC+A\bar{B}C+B\bar{C}$$

$$=BC+A\bar{B}C+B\bar{C}$$

بإخراج Bخارج قوس

$$=B\left(C+\bar{C}\right)+A\bar{B}C$$

نجد:

$$=B+A\bar{B}C$$

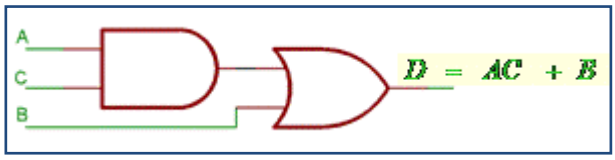
$$=B+AC$$

وبذلك يصبح التابع المختصر هو :

$$D = AC + B$$

أي أننا نحتاج لبوابة AND لتمثيل الحد ACوبوابة OR من أجل تمثيل هذا التابع المنطقي.

ويمكن تمثيل التابع D بالشكل(12) الآتي:



الشكل (5-16)

الدارة المنطقية للتابع D

مثال (13)

اختصر التابع المنطقي الآتي:

$$Y = AB + A(B + C) + B(B + C)$$

بالتوزيع نحصل على:

$$= \underbrace{AB + AB}_{AB} + AC + \underbrace{BB}_{B} + BC$$

و بالاختصار نجد:

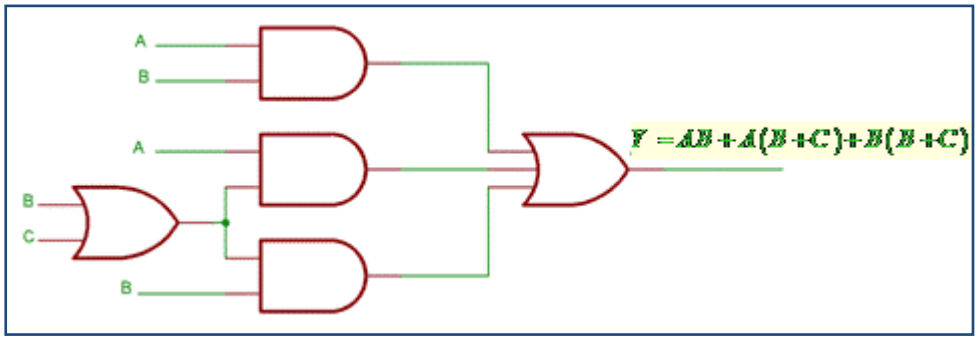
$$= AB + AC + \underbrace{B}_{B} + BC$$

وبالتالي يصبح التابع كالآتي:

$$= AB + AC + B$$

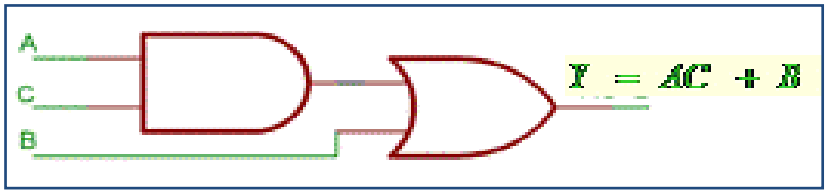
$$= B + AC$$

ويبين الشكل (5-17) الدارة المنطقية التي تمثل التابع المنطقي قبل وبعد الاختزال:



الشكل في الأعلى التابع قبل الاختزال:

الشكل في الأسفل التابع بعد الاختزال:



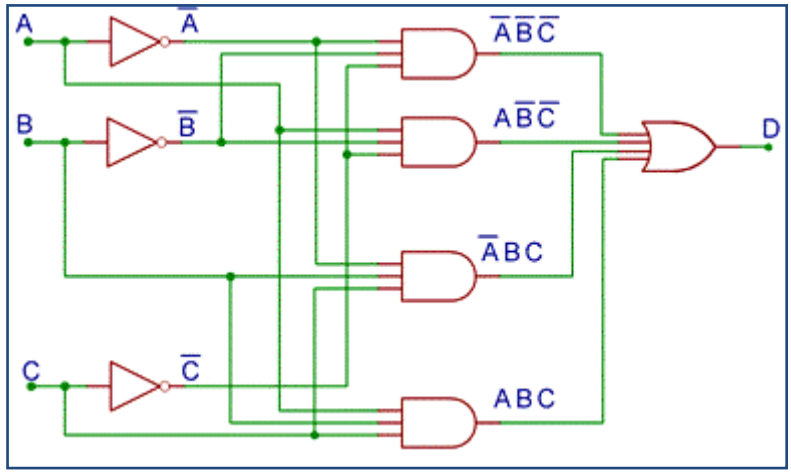
الشكل (5-17)

الدارة المنطقية للتابع المنطقيY .

مثال (14)

بسط التابع المنطقي التالي وفق قواعد جبر بول:

$$Y = \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{C} + \overline{A}BC + ABC$$



الشكل (5-18)

يبين الشكل (5-18)الدارة المعبرة عن هذا التابع (Y) قبل الاختزال.

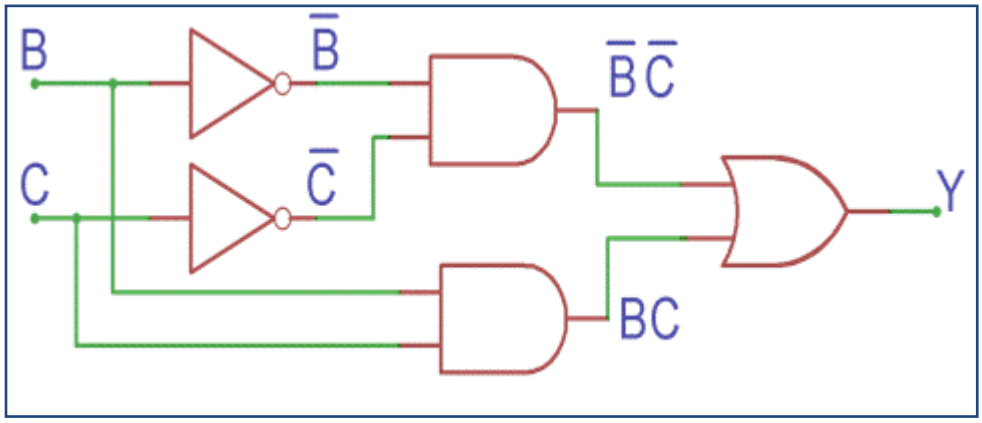
$$Y = \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{C} + \overline{A}BC + ABC$$

وبإخراج المتحولات المشتركة خارج قوس نجد:

$$Y = \overline{B}\overline{C}\left(\overline{A} + A\right) + BC\left(\overline{A} + A\right)$$

$$Y = \overline{B}\overline{C} + BC$$

وبعد اختصار التابع Y تصبح الدارة المعبرة عنه كالآتي، الشكل (5-19) :



الشكل (5-19)

وبالمقارنة نجد أننا بعد تبسيط المعادلة تم توفير بوابتين (AND) وبوابة (NOT) مما يؤكد أن تبسيط التوابع المنطقية يؤدي إلى خفض الكلفة وتصغير حجم الدارة المنطقية.

مثال (15)

بسِّط التابع المنطقي التالي :

$$Y = \overline{AB + \overline{A}\,\overline{B}}$$

الحل:

بتطبيق قانون ديمورغان:

$$= \overline{AB + \overline{A}\,\overline{B}}$$

$$= \left(\overline{AB}\right) \cdot \left(\overline{\overline{A}\,\overline{B}}\right)$$

$$= \left(\overline{A} + \overline{B}\right) \cdot \left(\overline{\overline{A}} + \overline{\overline{B}}\right) \quad \begin{cases} \overline{\overline{A}} = A \\ \overline{\overline{B}} = B \end{cases}$$

$$= \left(\overline{A} + \overline{B}\right) . \left(A + B\right)$$

بعد فك الأقواس

والاختصار نجد:

$$= \overline{A}A + \overline{A}B + A\overline{B} + \overline{B}B \quad \begin{cases} A\overline{A} = 0 \\ B\overline{B} = 0 \end{cases}$$

$$Y = \overline{A}B + A\overline{B}$$

مثال (16)

اختصر التابع المنطقي الآتي وارسم دارته المنطقية.

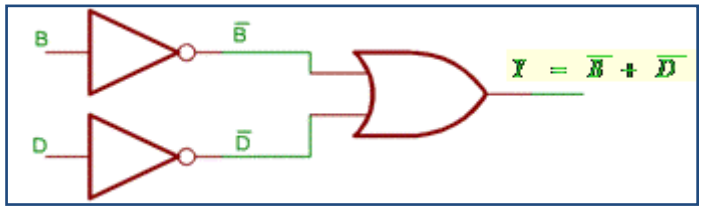
$$Y = \overline{A} \cdot \overline{B} + A\overline{B} + \overline{C} \cdot \overline{D} + C\overline{D} + \overline{D}$$

الحل:

بإخراج المتحول المشترك $Y = \overline{A} \cdot \overline{B} + A\overline{B} + \overline{C} \cdot \overline{D} + C\overline{D} + \overline{D}$

خارج قوس نجد أن:

$$= \overline{B}\left(A + \overline{A}\right) + \overline{D}\left(C + \overline{C}\right) + \overline{D}$$
$$= \overline{B}(1) + \overline{D}(1) + \overline{D} = \overline{B} + \overline{D}$$

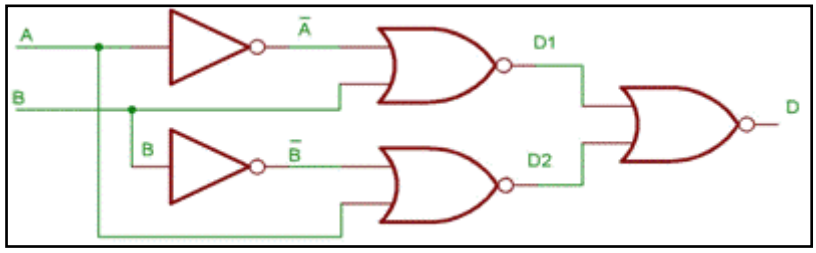


الشكل (5-20)

الدارة المنطقية للتابع Y.

مثال (17)

أوجد تابع الخرج المنطقي للدارة المبينة في الشكل (5-21) ثم اختصر هذا التابع وارسم الدارة المختصرة التي تحققه.



الشكل (5-21)

من الشكل(5-21) نجد أن علاقة D هي:

$$D = \overline{D1 + D2}$$

وحيث أن $D1$ و $D2$ هي :

$$D1 = \overline{\overline{A} + B}$$

$$D2 = \overline{\overline{A} + \overline{B}}$$

وبالتعويض عن *D1* و *D2* بما يساويها نجد :

$$D = \overline{\left(\overline{\overline{A} + B}\right) + \left(\overline{A + \overline{B}}\right)}$$

$$= \overline{\left(\overline{A} + B\right)} \cdot \overline{\left(A + \overline{B}\right)}$$

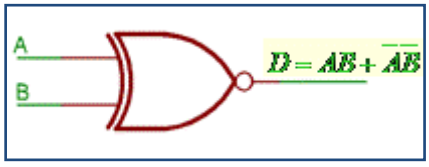
$$= \left(\overline{A} + B\right)\left(A + \overline{B}\right)$$

$$= A\overline{A} + \overline{A} \cdot \overline{B} + AB + B\overline{B}$$

$$= 0 + \overline{A} \cdot \overline{B} + AB + 0$$

$$= \overline{A} \cdot \overline{B} + AB$$

وهذا التابع يمكن تمثيله بوساطة بوابة *XNOR* بسيطة كما هو موضح في الشكل (5-22).



الشكل (5-22)

الدارة المنطقية التي تحقق التابع D

2- تمثيل وتبسيط التوابع البولانية باستخدام مخططات كارنو

Karnaugh Map Representation and minimization of Boolean functions

يعتبر مخطط كارنو من أقوى وانجح السبل لتصميم الدارات المنطقية و هو وسيلة أيضاً لتبسيط واختصار التوابع المنطقيةمن خلال تبسيط التعابير والعلاقات المنطقية بطريقة منظمة للحصول على أبسط تعبير ممكن .

ويتكون هذا المخطط أساساً من جدول حقيقة صُمم لتحديد التعبير المنطقي الأصغر لمجموع جداءات تابع منطقي.

ويمكن أن يأخذ التابع المنطقي أحد الشكلين الآتيين:

1. مجموع المضاريب (الجداءات)

$$Y = AB + AB\overline{C}$$

2. جداء المجاميع

$$Y = (\overline{A} + B)(\overline{A} + \overline{C} + D)$$

نبدأ بدراسة مخططات كارنو لاختصار مجموع الجداءات حيث سندرس مخططات كارنو لاختصار تابع منطقي بمتحولين و بثلاثة متحولات و بأربعة متحولات ثم نعرج على التابع العكسي وعلى صيغة أو تعبير جداء المجاميع .

ملاحظة:

يؤخذ الاختصار SOP من الكلمات الآتية: Sum Of Productsأي مجموع الجداءات

يتم اختزال التعابير SOP (مجموع المضاريب) وفق الخطوات الثلاث الآتية:

1. تجميع الواحدات في مجموعات (مربعة أو مستطيلة) على مخطط كارنو ،وسنأتي على شروط تجميع الواحدات لاحقاً.
2. تحديد الصيغة (القيمة) الممثلة لكل مجموعة.
3. جمع القيم (الصيغ) الناتجة لجميع المجموعات والتي تمثل حدود التابع المنطقي المختصر (المبسط).

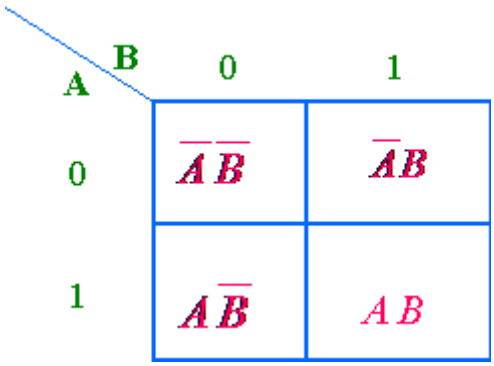
أما بالنسبة لشروط تجميع الواحدات فهي:

- يجب أن تحقق العلاقة (2^n) خلية ،أي أن عدد الخلايا الحاوية على الواحدات في المجموعة ممكن أن تكون 1- 2- 4- 8- 16- .... .
- أن تضم المجموعة أكبر عدد ممكن من الخلايا الحاوية على الواحدات.
- يجب أن تنتمي كل خلية تحوي (1) منطقي على المخطط إلى مجموعة واحدة على الأقل. ويمكن أن تقع في أكثر من مجموعة.

5-8مخططات كارنو: Karnaugh Map

أ -مخطط كارنو لمتحولين:

يبين الشكل (5-23) مخطط كارنو لمتحولين



الشكل (5-23)

مخطط كارنوف بمتحولين

إذا كان المتحول المنطقي (1) فنعبر عنه بـ : A أو B

أما إذا كان المتحول المنطقي (0) فنعبر عنه بـ: $\overline{A}$ أو بـ $\overline{B}$

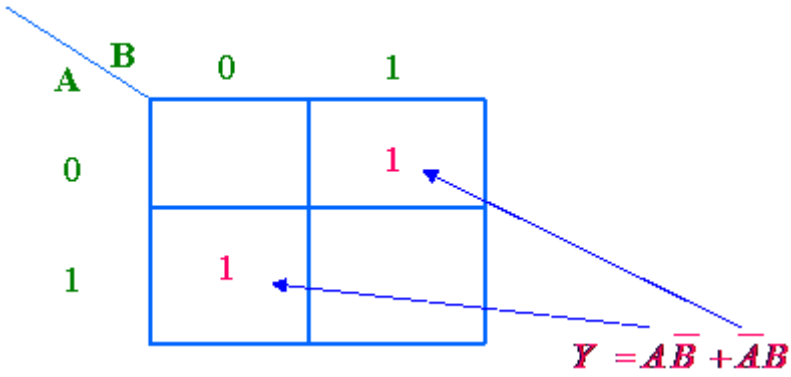
ونجد من المخطط :

أن قيمةAفي السطر الأول هي دوماً صفر وبالتالي نعبر عنها بـ: $\overline{A}$.

وفي السطر الثاني هي دوماً واحد وبالتالي نعبر عنها بـ: A .

أما قيمة B فهي صفر في العمود الأول وواحد في العمود الثاني.

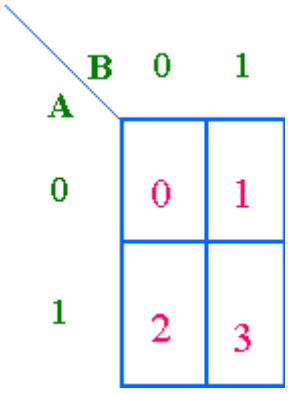
ويتم استخلاص التابع المنطقي من المخطط بعد كتابة جداء المتحولات(الصيغة) المقابلة لكل واحد منطقي موجود في المخطط ثم جمع هذه الحدود لتكوين التابع، كما في المثال الآتي:



الشكل (5-24)

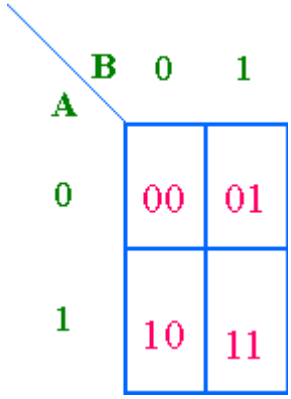
وبهذه الطريقة تتم قراءة التابع المنطقي من مخطط كارنو لمتحولين أو أكثر.

ويبين الشكل (5-25) أرقام خلايا مخطط كارنو بالنظام العشري



الشكل (5-25)

ويبين الشكل (5-26) أرقام خلايا مخطط كارنو بالنظام الثنائي وهو يقابل الشكل (5-25) بالنظام العشري



الشكل (5-26)

مثال (18)

بسط التابع المنطقي الآتي وذلك بالطريقتين الآتيتين:

$$Y = \overline{A}\,\overline{B} + \overline{A}B$$

1. باستخدام قواعد الجبر المنطقي
2. باستخدام مخطط كارنو

الحل:

باستخدام الطريقة الأولى نجد:

$$Y = \overline{A}\,\overline{B} + \overline{A}B$$

$$= \overline{A}\left(\overline{B} + B\right)$$

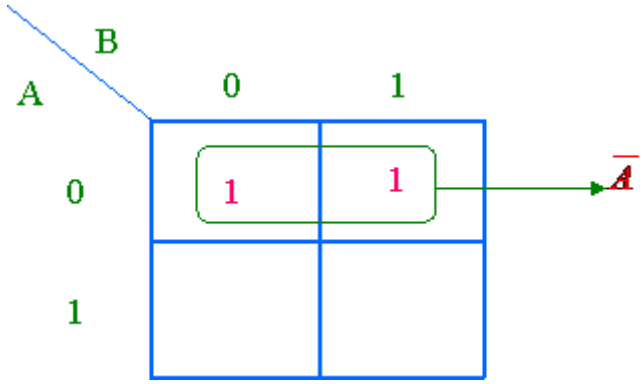
$$= \overline{A}$$

ولاستخدام الطريقة الثانية نقوم بالإجراءات الآتية:

1. نرسم مخطط كارنو.

2. نضع في الخلايا (1,0) حسب الترقيم العشري المبين جانباً الرقم(1)منطقي وهي الخلايا الموافقة لحدود التابع Y وهما الحدان ونضع $\overline{A}B$ ، $\overline{A}\overline{B}$ في الخلايا الباقية الرقم (0) منطقي أو تبقى فارغة

3. نعبر عن الواحد ين في الخليتين (1,0) بـ $\overline{A}$ كما في الشكل (5-27)



الشكل (5-27)

إذاً التابع المبسط النهائي هو: $Y=\overline{A}$

ونلاحظ أن النتيجة في الطريقتين السابقتين متطابقة .

مثال (19)

بسط التابع المنطقي الآتي :

$$Y=\overline{A}\overline{B}+A\overline{B}+AB$$

الحل :

1. نرسم مخطط كارنو

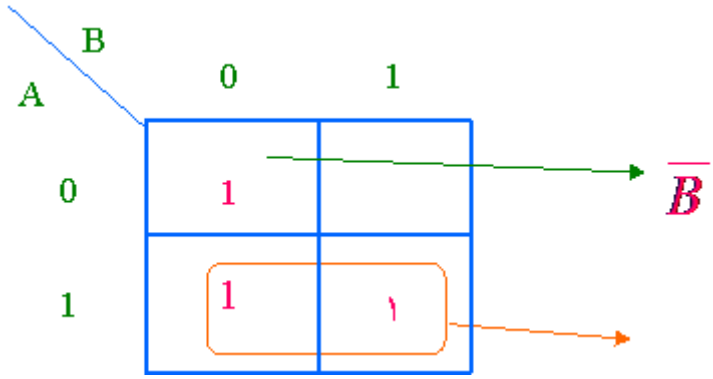
2. نضع في الخلايا (*3,2,0*) الرقم(1)وهي الخلايا الموافقة لحدود التابع Y

3. نعبر عن الخليتان (2,0) بـ $\overline{B}$

4. نعبر عن الخليتان (2,3) بـ A

حيث تم اختصار ($\overline{A}$) في الخلية (0) مع (*A*) في الخلية (2) واختصار ($\overline{B}$) في الخلية (2) مع (*B*) في الخلية (3) .وهذا تطبيق لقاعدة جبر بول الآتية:

$$\overline{A}+A=1$$



الشكل (5-28)A

فتكون النتيجة النهائية حسب المخطط المبين في الشكل (5-28) :

$$Y = A + \overline{B}$$

قم باستنتاج النتيجة ذاتها باستخدام الطريقة الأولى أي باستخدام قواعد جبر بول.

مثال (20)

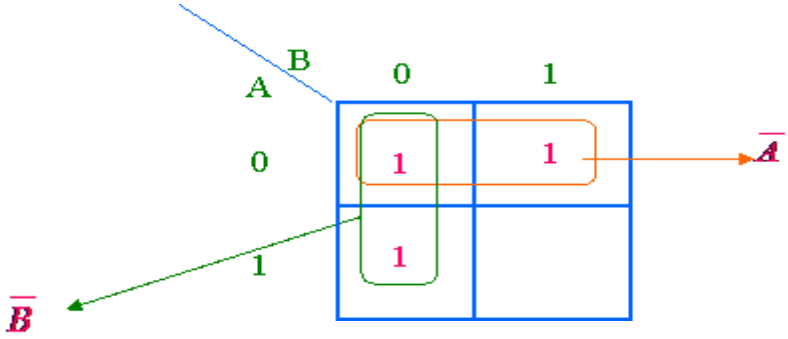
بسط التابع المنطقي الآتي:

$$Y = \overline{A}\,\overline{B} + \overline{A}B + \overline{B}A$$

الحل:

1. نرسم مخطط كارنو لمتحولين.
2. نضع واحد في كل خلية توافق حداً من حدود التابع وهي الخلايا(0,1,2).
3. نجمع كل واحدين مع بعض سواء كانا موجودين في سطر أو عمود ونعبر عنهما بمتحول واحد وهو المتحول المشترك بينهما.
4. نعبر عن الواحدين في السطر الأول بالمتحول المشترك $\overline{B}$.

بينما نعبر عن الواحدين في العمود الأول بالمتحول المشترك $\overline{A}$.



الشكل (5-29)

مخطط كارنو للتابع *Y*

التابع النهائي المختصر هو :

$$Y = \overline{A} + \overline{B}$$

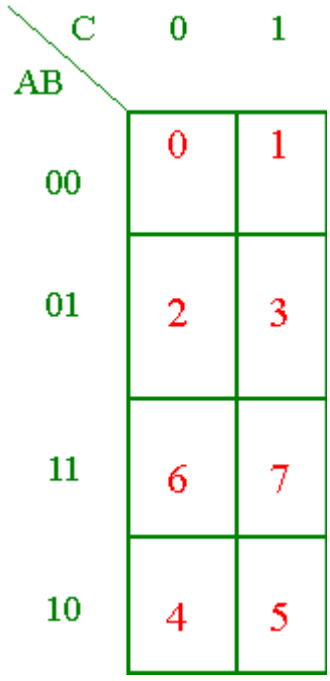
ب-مخطط كارنو لثلاثة متحولات :

يبين الشكل (5-30) مخطط كارنو لثلاثة متحولات والحدود المعبرة عن كل خلية من خلايا مخطط كارنو .

AB \ C	0	1
00	$\overline{A}\overline{B}\overline{C}$	$\overline{A}\overline{B}C$
01	$\overline{A}B\overline{C}$	$\overline{A}BC$
11	$AB\overline{C}$	ABC
10	$A\overline{B}\overline{C}$	$A\overline{B}C$

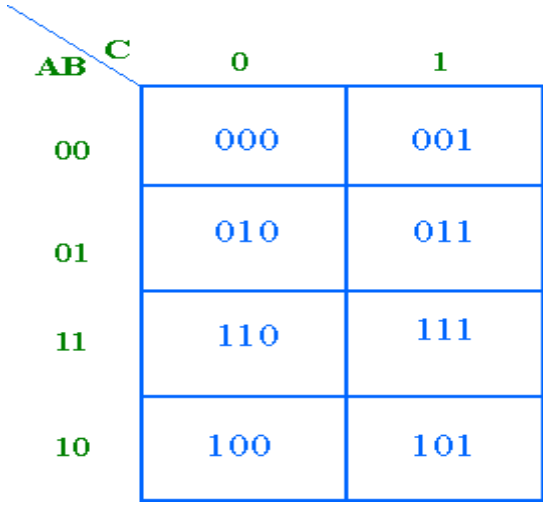
الشكل (5-30)

ويبين الشكل (5–31) أرقام الخلايا في مخطط كارنو بالنظام العشري



الشكل (5–31)

كما يبين الشكل (5–32) أرقام الخلايا في مخطط كارنو بالنظام الثنائي.



الشكل (5-32)

ويبين الشكل (5-40) الأرقام العشرية وما يقابلها في النظام الثنائي

الترتيب	ABC
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

الشكل (5-40)

يمكن تلخيص الخطوات المتبعة في الاختصار عند استخدام مخطط كارنو لثلاث متحولات على الشكل الآتي:

1. يتم التعبير عن كل أربع واحدات بمتحول واحد.
2. نعبر عن كل مجموعة مكونة من واحدين بمتحولين.

3. نعبر عن الواحد المنفرد بثلاث متحولات.

4. المخطط قابل للالتفاف أي وكأن حافتيه العلوية والسفلية متصلتان إحداهما بالأخرى ، وكذلك الأمر بالنسبة للحافتين اليمنى واليسرى لتشكيل مجموعات متجاورة .

5. يمكن استخدام الواحد ضمن المجموعات أكثر من مرة.

6. التابع المنطقي هو تابع *OR* للمتحولات (مجموع الواحدات) أو (مجموع الجداءات).

والآن بتطبيق هذه الخطوات على المثال الآتي نجد:

مثال (21):

اكتب التابع المنطقي الآتي بأبسط صيغة :

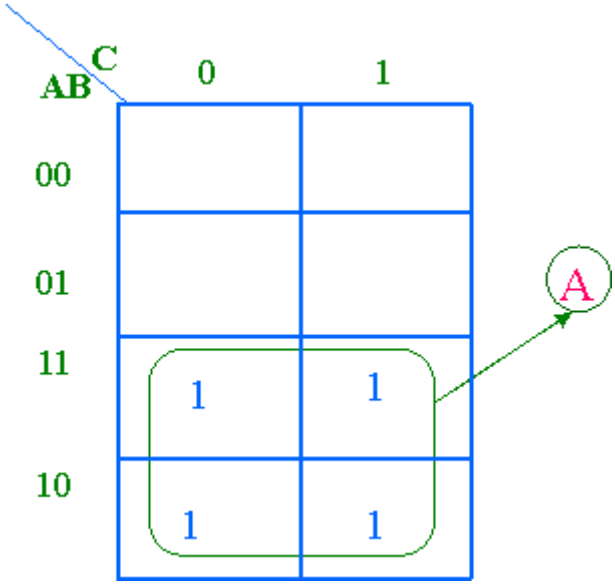
$$Y = A \cdot B \cdot C + A \cdot \overline{B} \cdot \overline{C} + A \cdot \overline{B} \cdot C + A \cdot B \cdot \overline{C}$$

الحل:

1. نرسم مخطط كارنو لثلاث متحولات كما هو مبين في الشكل (5-41).

2. نضع واحد في كل خلية توافق حداً من حدود التابع وهي الخلايا (4,5,6,7) .

3. نعبر عن كل أربع واحدات بمتحول واحد .



الشكل (5-41)

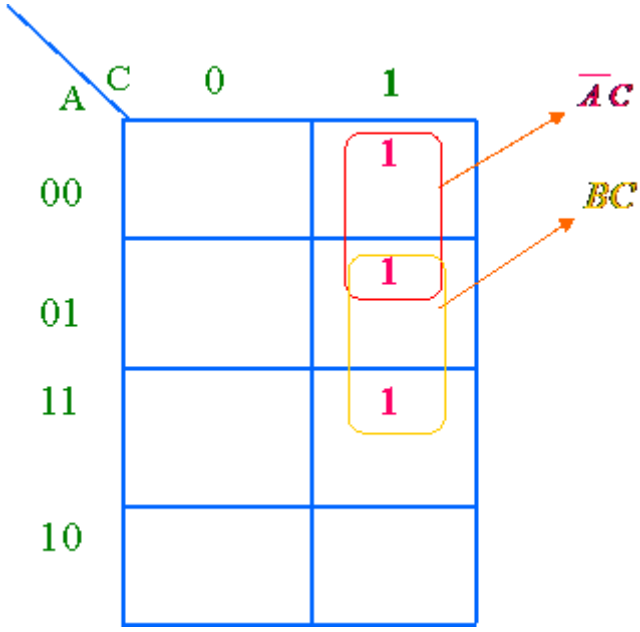
مخطط كارنو للتابع y

ونحصل على التابع المنطقي النهائي وهو: $Y = A$

مثال (22):

اكتب التابع الآتي بأبسط صيغة :

$$Y = \overline{A}\,\overline{B}C + \overline{A}BC + ABC$$



الشكل (5-42)

مخطط كارنو للتابع y

ونحصل على التابع المنطقي النهائي المبسط وهو:

$$\Rightarrow Y = \overline{A}C + BC$$

ملاحظة 1:

تحددحالات الصفر والواحد في المخطط حيث تحذف الأصفاروتمثلبفراغات في كثير من الأحيان.

ملاحظة 2:

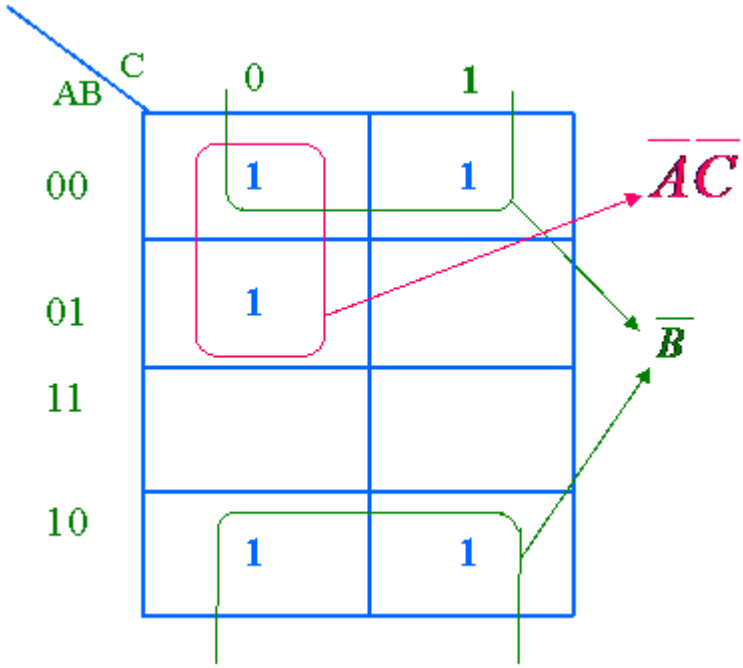
يمثل أي مربعين متجاورين جداء متحولين ويكون المتحول الملغى هو الذي يغير حالته (0 و 1) ما بين أول مربع والذي يليه.

مثال (23) :

اكتب التابع المنطقي الآتي بأبسط صيغة:

$$Y = \overline{A}\overline{B}C + A\overline{B}C + \overline{A}B\overline{C} + \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C$$

نجد في التابع خمس حدود أي أن هناك خمس خلايا (مربعات) وهي (0, 1 , 2 , 4 ,5) تحوي على الرقم (1) منطقي.



الشكل (5-43)

وواضح من المخطط المبين في الشكل (32) بأن المجموعة المؤلفة من أربع واحدات وهي الخلايا (0,1,4,5) حيث يتم تمثيلها بالحد $\overline{B}$

إضافة للحد $\overline{A}\overline{C}$ الذي يعبر عن الخليتين (0,2) ، ليصبح التابع المنطقي بالشكل الآتي :

$$Y = \overline{B} + \overline{A}\,\overline{C}$$

ج-مخطط كارنو لأربعة متحولات

بدايةً نجمل الخطوات المتبعة في الاختصار عند استخدام مخطط كارنولأربعة متحولات بما يلي:

1. يعبّر عن كل ثماني واحدات بمتحول واحد.
2. يعبّر عن كل أربع واحداتموجودة بأربع خلايا متجاورة بمتحولين.
3. يعبّر عن كل واحدين متجاورين بثلاثة متحولات.
4. الواحد المنفرد يعبر عنه بأربعة متحولات وذلك إذا لم نتمكن من إضافته إلى أي مجموعة .
5. يمكن استخدام الواحد أكثر من مرة إذا لزم لتكوين تجمعات من واحدات.
6. المخطط قابل للطي في الاتجاهين الأفقي والعمودي(قابل للالتفاف).

(أي وكأن حافتيه العلوية والسفلية متصلتان إحداهما بالأخرى ، وكذالك الأمر بالنسبة للحافتين اليمنى واليسرى لتشكيل مجموعات متجاورة).

AB \ CD	00	01	11	10
00	$\overline{A}\overline{B}\overline{C}\overline{D}$	$\overline{A}\overline{B}\overline{C}D$	$\overline{A}\overline{B}CD$	$\overline{A}\overline{B}C\overline{D}$
01	$\overline{A}B\overline{C}\overline{D}$	$\overline{A}B\overline{C}D$	$\overline{A}BCD$	$\overline{A}BC\overline{D}$
11	$AB\overline{C}\overline{D}$	$AB\overline{C}D$	$ABCD$	$ABC\overline{D}$
10	$A\overline{B}\overline{C}\overline{D}$	$A\overline{B}\overline{C}D$	$A\overline{B}CD$	$A\overline{B}C\overline{D}$

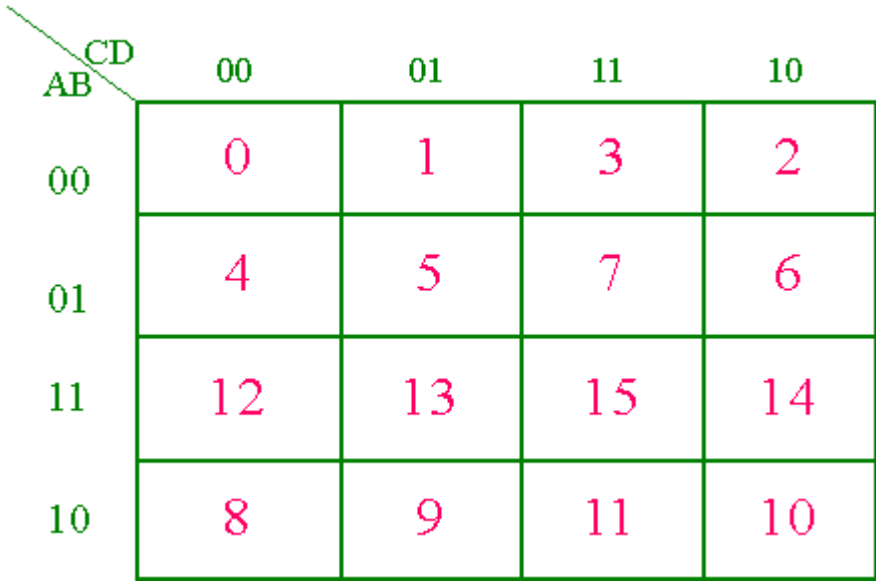
الشكل (5-44)

ويبين الشكل (5-45) أرقام الخلايا في مخطط كارنو وفق النظام الثنائي.

AB \ CD	00	01	11	10
00	0000	0001	0011	0010
01	0100	0101	0111	0110
11	1100	1101	1111	1110
10	1000	1001	1011	1010

الشكل (5-45)

ويبين الشكل (5-46)أرقام الخلايا في مخطط كارنو وفق النظام العشري .



الشكل (5-46)

ويتضح مما سبق أن المخطط هو عبارة عن مصفوفة مؤلفة من ست عشرة خلية ويكون ترتيب هذه الخلايا وفق الترقيم المرفق المبين في الشكل (5-46) .

ويبين الشكل (5-47) الأرقام العشرية وما يقابلها في النظام الثنائي .

الترتيب	$ABCD$
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001
10	1010
11	1011
12	1100
13	1101
14	1110
15	1111

الشكل (5-47)

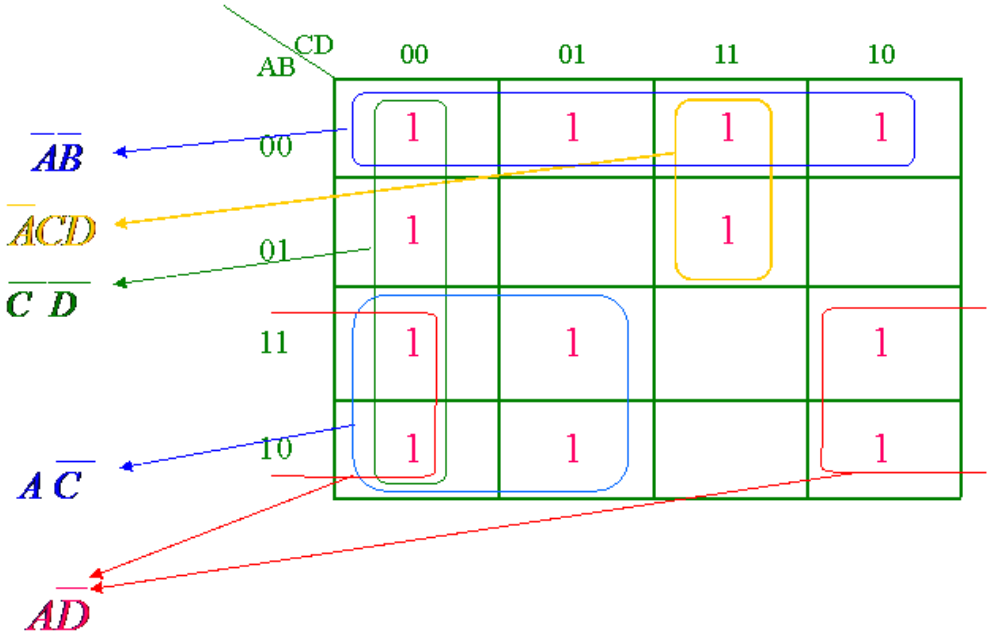
مثال (24):

بسط التابع المنطقي الآتي:

$$Y = \bar{A}BCD + \bar{A}\bar{B}CD + A\bar{B}CD + AB\bar{C}D + \bar{A}\bar{B}\bar{C}D + A\bar{B}C\bar{D} + AB\bar{C}\bar{D} + \bar{A}BC\bar{D} + \bar{A}\bar{B}C\bar{D} + A\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}\bar{D} + AB\bar{C}D + A\bar{B}C\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}BC\bar{D} + \bar{A}BCD + ABC\bar{D} + ABC\bar{D}$$

الحل :

أولاً: نرسم مخطط كارنو ونحدد عليه حدود التابع Y :



الشكل (5-48)

ثانياً: نجمع الواحدات في مخطط كارنو المبين في الشكل **(5-48)**.

ثالثاً: نستنتج من مخطط كارنو أبسط صيغة لهذا التابع وهي مؤلفة من خمسة حدود مبينة في التابع :

$$Y = \overline{A}\,\overline{B} + \overline{C}\,\overline{D} + A\overline{C} + A\overline{D} + \overline{A}CD$$

ملاحظة:

هل تعلم أن : SOP هي اختصار للكلمات Sum Of Productsأي مجموع الجداءات.

مثال(25):

استخدم مخطط كارنو لاختزال التابع المنطقي ذو صيغة مجموع الجداءات(مجموع المضاريب *Sop*) الآتي:

$$Y = \bar{B}\bar{C}\bar{D} + \bar{A}B\bar{C}\bar{D} + AB\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + A\bar{B}C\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}BC\bar{D} + ABC\bar{D} + A\bar{B}C\bar{D}$$

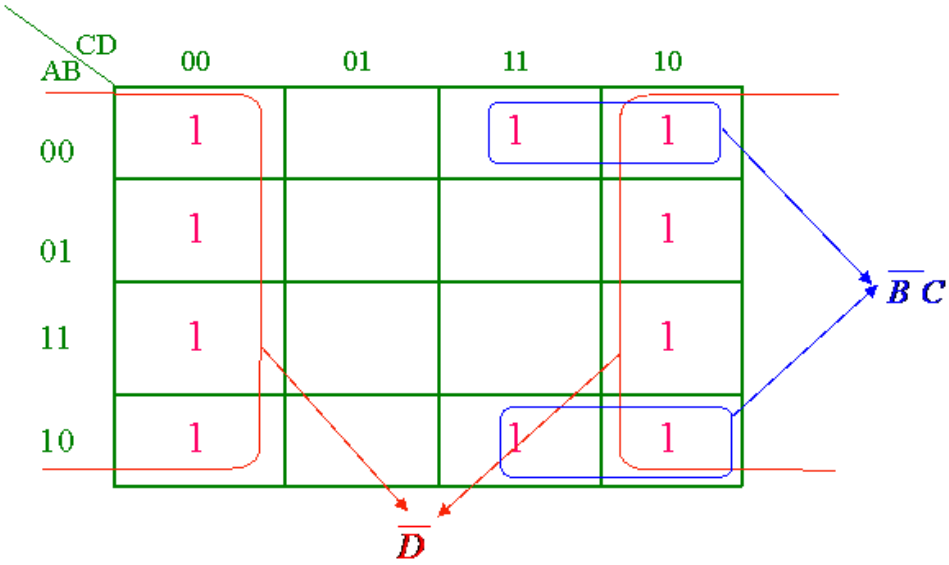
يتم تمثيل كل مربع أو خلية من خلايا المخطط بحد مؤلف من أربعة متحولات وهذا ما يعرف بالحد القياسي ،وكل الحدود في مثالنا السابق هي حدود قياسية عدا الحد الأول والمؤلف من ثلاثة متحولات فهو $\bar{B}\bar{C}\bar{D}$ حد غير قياسي ويمثل مربعين متجاورين اشتركا بهذه المتحولات لذلك نضرب هذا الحد بـ $A + \bar{A}$.

أي : $\bar{B}\bar{C}\bar{D} = A\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}\bar{C}\bar{D}$

الحل:

1- نرسم مخطط كارنو المبين بالشكل (5-49) .

2- نحدد عليه الواحدات.



الشكل (5-49)

3- نستنتج من مخطط كارنو أبسط صيغة لهذا التابع وهي مؤلفة من حدين فقط

هما : $Y = \overline{B}C + \overline{D}$

5-9الجداءات القياسية

تعرَّف الجداءات القياسية بأنها تحوي عدداً من الأحرف يساوي عدد المتحولات في التابع .

ولتوضيح ذلك نأخذ المثال الآتي:

$$Y = f(A,B,C,D)$$

$$= ACD + BCD + AC\overline{D} + B\overline{D}$$

$$=ACD\left(B+\overline{B}\right)+BCD\left(A+\overline{A}\right)+AC\overline{D}\left(B+\overline{B}\right)+B\overline{D}\left(A+\overline{A}\right)$$
$$=ABCD+A\overline{B}CD+ABCD+\overline{A}BCD+ABC\overline{D}+A\overline{B}C\overline{D}+B\overline{D}A+B\overline{D}\overline{A}$$

وبنفس الطريقة نضرب الحدين $B\overline{D}A+B\overline{D}\overline{A}$ بالحدين ($C+\overline{C}$) فنحصل على الحدود الآتية :

$$ABC\overline{D}+AB\overline{C}\overline{D}+\overline{A}BC\overline{D}+\overline{A}B\overline{C}\overline{D}$$

حيث نجد أن الحد الأول $ABC\overline{D}$ مكرر ، و بالنتيجة يصبح التابع Y على الشكل الآتي :

$$Y=ABCD+\overline{A}BCD+A\overline{B}CD+ABC\overline{D}+A\overline{B}C\overline{D}+AB\overline{C}\overline{D}+\overline{A}BC\overline{D}+\overline{A}B\overline{C}\overline{D}$$

ملاحظات:

- يعبر عن الحد القياسي والمؤلف من أربعة متحولات بمربع واحد (خلية).
- يعبر عن الحد غير القياسي بثلاثة متحولات بمربعين متجاورين.
- يعبر عن الحد غير القياسي بمتحولين فقط بأربع خلايا (مربعات) متجاورة.

مثال (26):

بسط التابع المنطقي الآتي:

$$Y = \overline{A}BC + ABCD + ACD + C\overline{D} + \overline{A}B + AB\overline{C}\,\overline{D}$$

$$\overline{A}\,\overline{B}CD + ABC + ABD$$

هناك ثلاثة حدود قياسية فقط في هذا التابع وستة حدود غيرقياسية هي :

الحد الأول يعبر عن الخليتين (7،6) ويعالج كالآتي:

$$\overline{A}BC = \overline{A}BC\,(D + \overline{D})$$

$$= \overline{A}BCD + \overline{A}BC\overline{D}$$

الحد الثاني يعبر عن الخليتين (11,15) ويعالج كالآتي:

$$ACD = ACD\left(B + \overline{B}\right)$$

$$= ACDB + ACD\overline{B}$$

الحد الثالث يعبر عن أربع خلايا (2,6,10,14) ويعالج كالآتي:

$$C\overline{D} = C\overline{D}\left(A + \overline{A}\right) = C\overline{D}A\left(B + \overline{B}\right) + C\overline{D}\,\overline{A}\left(B + \overline{B}\right)$$

$$C\overline{D} = C\overline{D}AB + C\overline{D}A\overline{B} + C\overline{D}\,\overline{A}B + C\overline{D}\,\overline{A}\,\overline{B}$$

الحد الخامس يعبر عن أربع خلايا (4,5,7,6) ويعالج كالآتي:

$$\bar{A}\bar{B} = \bar{A}\bar{B}(C+\bar{C}) = \bar{A}\bar{B}C(D+\bar{D}) + \bar{A}\bar{B}\bar{C}(D+\bar{D})$$
$$\bar{A}\bar{B} = \bar{A}\bar{B}CD + \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}\bar{C}D + \bar{A}\bar{B}\bar{C}\bar{D}$$

الحد السادس يعبر عن الخليتين (14,15)

$$ABC = ABC\left(D+\bar{D}\right)$$

$$= ABCD + ABC\bar{D}$$

الحد الثاني يعبر عن الخليتين (13,15)

$$ABD = ABD\left(C+\bar{C}\right)$$

$$= ABCD + AB\bar{C}D$$

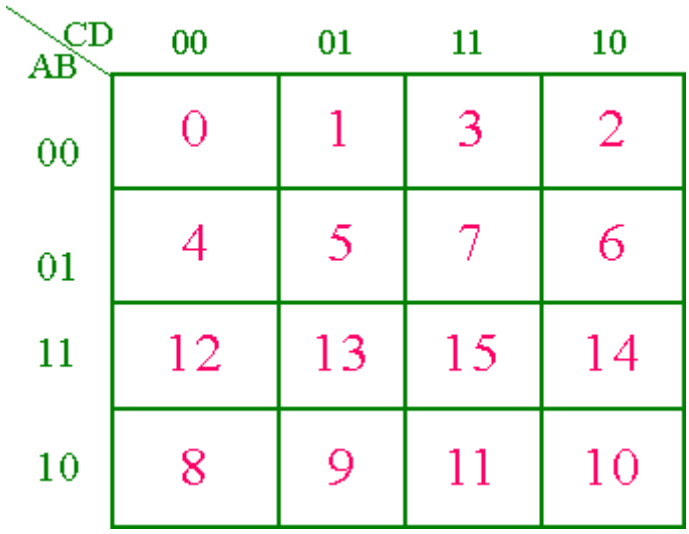
من خلال ما سبق نجد أن هناك خلايا (مربعات) مكررة أي هناك حدود ضمن التابع المنطقي مكررة تعبر عن نفس الخلية أو المربع والذي يحوي على (1) منطقي. لذلك وبعد حذف المكرر يصبح التابع المنطقي على الشكل:

$$\begin{aligned} Y = {} & \bar{A}BCD + \bar{A}BC\bar{D} + ACDB + ACD\bar{B} \\ & + ABC\bar{D} + A\bar{B}C\bar{D} + \bar{A}BC\bar{D} + \bar{A}\bar{B}C\bar{D} \\ & + \bar{A}BCD + \bar{A}BC\bar{D} + \bar{A}B\bar{C}D + \bar{A}B\bar{C}\bar{D} \\ & + ABCD + ABC\bar{D} + ABCD + AB\bar{C}D \\ & + ABCD + AB\bar{C}\bar{D} + \bar{A}B\bar{C}D \end{aligned}$$

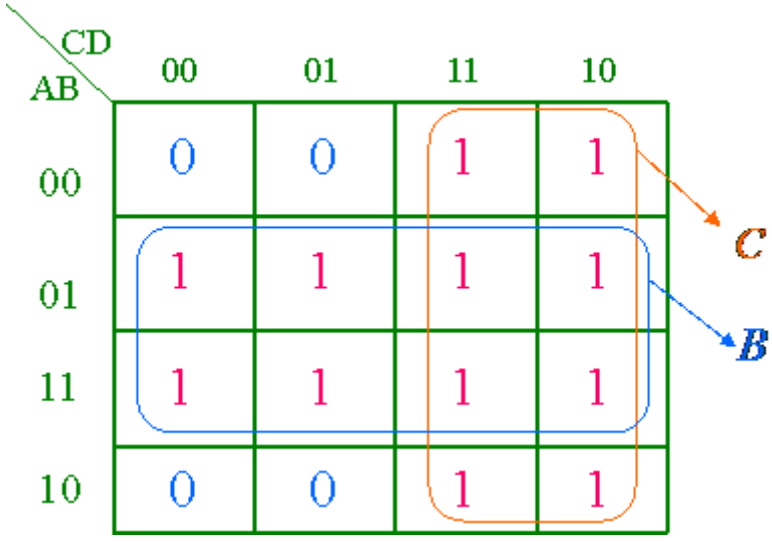
بحذف الحدود المكررةنجد:

$$\begin{aligned} Y = {} & AB\bar{C}\bar{D} + \bar{A}BCD + \bar{A}BC\bar{D} + ABCD + ACD\bar{B} + ABC\bar{D} \\ & + A\bar{B}C\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}BC\bar{D} + \bar{A}B\bar{C}\bar{D} + ABC\bar{D} + \bar{A}B\bar{C}D \end{aligned}$$

$$= ABCD + ABC\bar{D}$$



الشكل (5-50)



الشكل (5-51)

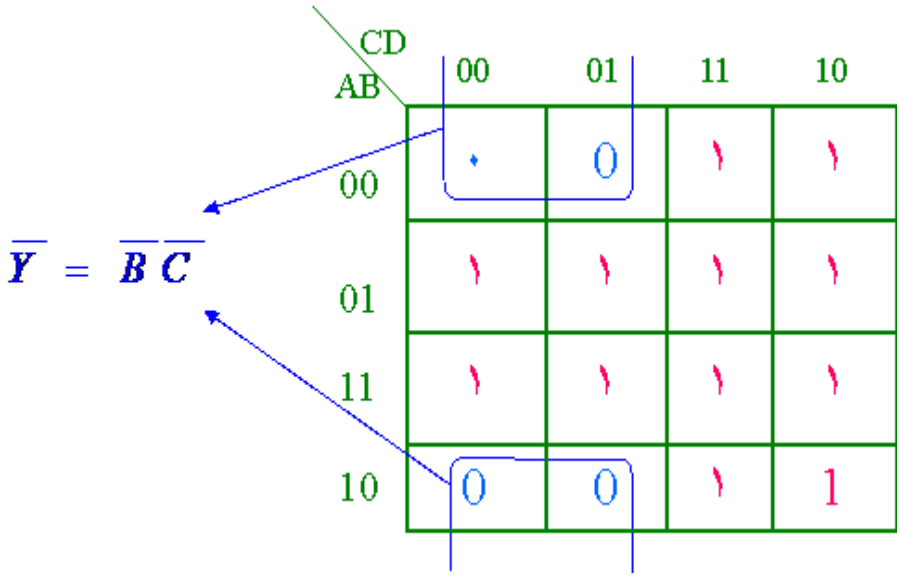
و يصبح التابع المنطقي المختصر هو:

$$Y = B + C$$

5-10التابع العكسي :

إذا قمنا بوضع (0) في الخلايا (المربعات) التي لا تحقق التابع المنطقي واختصرنا هذه الخلايا (الأصفار) بطريقة مجموع الجداءات نحصل على ما يسمى **بالتابع العكسي** لأن هذه الخلايا تشكل متمم للخلايا الحاوية على الواحدات.

وبالعودة إلى المثال (26) نجد :



الشكل (5-52)

وعند نفي **التابع العكسي** نحصل على التابعY:

$$\overline{\overline{Y}} = Y = \overline{\overline{B}\,\overline{C}} = \overline{\overline{B}} + \overline{\overline{C}} = B + C$$

مثال(27):

بسط التابع المنطقي الآتي:

$$Y = \overline{A}\,\overline{B}\,\overline{C} + \overline{B}C\,\overline{D} + \overline{A}BC\,\overline{D} + A\,\overline{B}\,\overline{D}$$

الحل:

إن كل حد من الحدود المؤلف من ثلاثة أحرف يتم تمثيله على المخطط بمربعين أي خليتين فالحد $\overline{A}\,\overline{B}\,\overline{C}$ يمثل بالمربعين $(\overline{A}\,\overline{B}\,\overline{C}\,\overline{D})$ و $(\overline{A}\,\overline{B}\,\overline{C}D)$

0000 0001

وذلك لأن :

$$\overline{A}\,\overline{B}\,\overline{C} = \overline{A}\,\overline{B}\,\overline{C}(D + \overline{D})$$

$$\overline{A}\,\overline{B}\,\overline{C} = \overline{A}\,\overline{B}\,\overline{C}D + \overline{A}\,\overline{B}\,\overline{C}\,\overline{D}$$

..... وهكذا بالنسبة لباقي الحدود

$$\overline{B}C\,\overline{D} = A\,\overline{B}C\,\overline{D} + \overline{A}\,\overline{B}C\,\overline{D}$$

00101010

$$A\,\overline{B}\,\overline{C} = A\,\overline{B}\,\overline{C}D + A\,\overline{B}\,\overline{C}\,\overline{D}$$

1000 1001

تمثل الوحدات الموجودة في زوايا المخطط بالحد $\overline{B}\ \overline{D}$ وذلك لأن هذا المخطط كما ذكرنا سابقاً قابل للالتفاف.

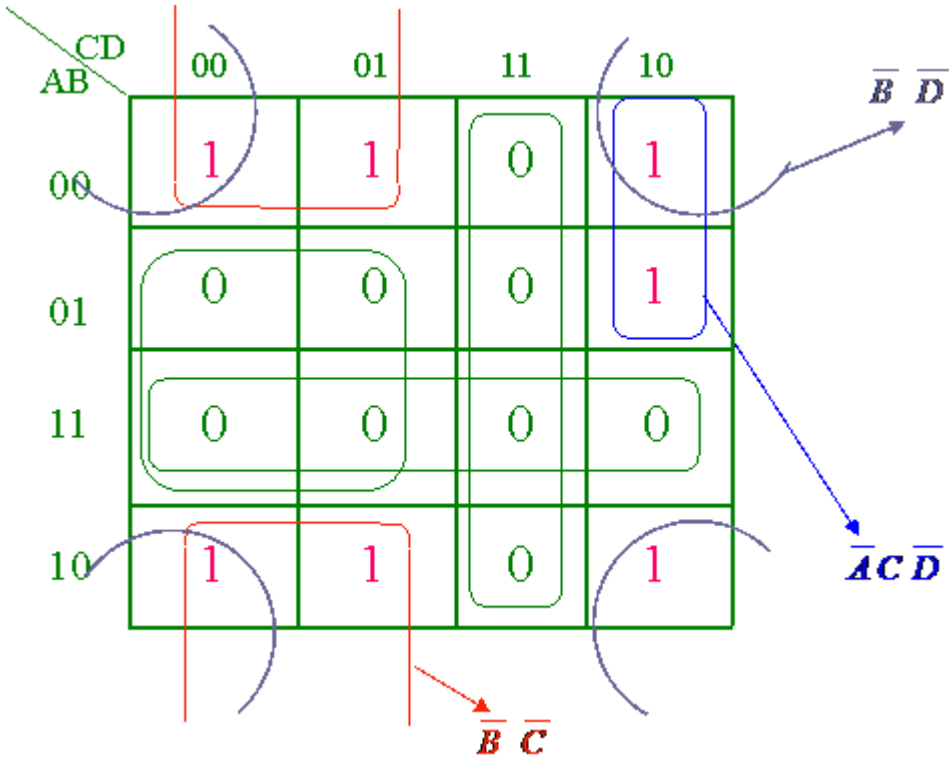
وكذلك يّمثل الواحدان المتجاوران في السطر العلوي مع الواحدان المتجاوران في السطر السفلي بالحد $\overline{B}\,\overline{C}$.

بقي لدينا جمع الواحد المتبقي في السطر الثاني مع مجاوره لنعبر عنه بالحد

$$Y = \overline{A}B\overline{C} + B\overline{C}\,\overline{D} + \overline{A}BC\,\overline{D} + \overline{A}\,\overline{B}\,\overline{D}$$

ويصبح التابع المنطقي المختصر على الشكل:

$$Y = \overline{B}\,\overline{D} + \overline{B}\,\overline{C} + \overline{A}C\,\overline{D}$$



الشكل (5-53)

ملاحظة:

يمكن أن يُطلب منك اختصار التابع السابق بإعطاء أرقام الخلايا (المربعات) مباشرةً ، أي على النحو الآتي بالنسبة للمثال (27) السابق:

$$Y\left(A,B,C,D\right)=\sum\left(0,1,2,6,8,9,10\right)$$

إن الواحدات الموضوعة في خلايا (مربعات) المخطط هي التي تحقق التابع (Y) بينما بقية الخلايا (المربعات) والمتضمنة الأصفار في المخطط نفسه للتابع Y فهي التي تحقق متمِّم التابع أو (التابع العكسي) $\overline{Y}$.

ويتم التحويل بين التابع (Y) والتابع المتمم ($\overline{Y}$) وبالعكس وذلك بتطبيق نظرية ديمورغان ، ونوضح ذلك كما يلي:

$$Y=\overline{B}\,\overline{D}+\overline{B}\,\overline{C}+\overline{A}C\,\overline{D}$$

$$\overline{Y}=B\overline{C}+CD+AB$$

$$Y=\overline{\overline{Y}}=\overline{B\overline{C}+CD+AB}$$

وهذا الشكل للتابع يعبر عن POS(Product of Sums)

$$Y = \overline{\overline{Y}} = \overline{B\overline{C} + CD + AB}$$

$$= (\overline{\overline{B\overline{C}}}).(\overline{CD}).(\overline{AB})$$

$$= (\overline{B} + \overline{\overline{C}}).(\overline{C} + \overline{D}).(\overline{A} + \overline{B})$$

$$= (\overline{B}\,\overline{C} + \overline{B}\,\overline{D} + C.\overline{C} + C\overline{D}).(\overline{A} + \overline{B})$$

$$= \overline{B}\,\overline{C}\,\overline{A} + \overline{B}\,\overline{C}\,\overline{B} + \overline{B}\,\overline{D}\,\overline{A} + \overline{B}\,\overline{D}\,\overline{B} + C\overline{D}\,\overline{A} + C\overline{D}\,\overline{B}$$

$$= \overline{B}\,\overline{C}\,\overline{A} + \overline{B}\,\overline{C} + \overline{B}\,\overline{D}\,\overline{A} + \overline{B}\,\overline{D} + C\overline{D}\,\overline{A} + C\overline{D}\,\overline{B}$$

$$= \overline{B}\,\overline{C}(\overline{A} + 1) + \overline{B}\,\overline{D}\,\overline{A} + \overline{B}\,\overline{D}(1 + C) + C\overline{D}\,\overline{A}$$

$$= \overline{B}\,\overline{C} + \overline{B}\,\overline{D}\,\overline{A} + \overline{B}\,\overline{D} + C\overline{D}\,\overline{A}$$

$$= \overline{B}\,\overline{C} + \overline{B}\,\overline{D}(\overline{A} + 1) + C\overline{D}\,\overline{A}$$

$$= \overline{B}\,\overline{C} + \overline{B}\,\overline{D} + \overline{A}C\overline{D}$$

تمثيل التوابع بصيغة جداء مجاميع POS: (Product of Sums)

تمّ التعبير عن التوابع المنطقية السابقة بصيغة مجموع جداءات (SOP) (Sum ofproducts) وبتعديل بسيط يمكن الحصول على التابع بصيغة جداء المجاميع POS (Product of Sums)

من أجل هذا النوع من الصيغ يتم وضع الصفر منطقي (0) على المخطط وذلك لكل مجموع من مجاميع الجداءات فمثلاً من أجل المجموع $(A+B+\overline{C}+\overline{D})$

يوضع (0) في الخلية (0011) حيث نعبر عن المتحول Aبـ (0) وليس (1)

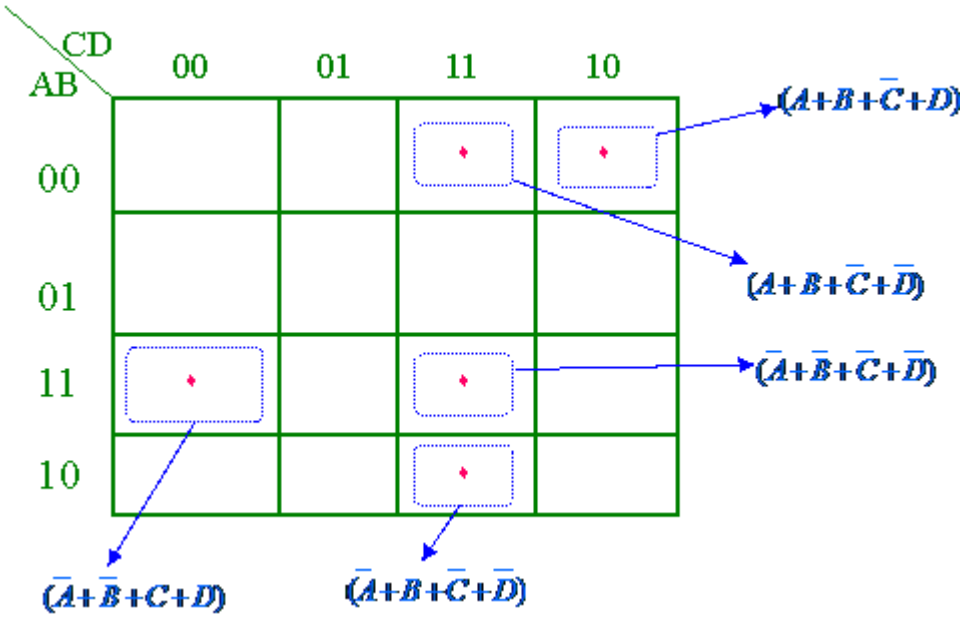
بينما نعبر عن الـ $\overline{A}$ بـ (1) على عكس ما هو عليه في صيغة مجموع

الجداءات .

مثال (28):

نظم مخطط كارنو وفق الصيغة POSللتابع الآتي:

$$Y=(\bar{A}+\bar{B}+C+D)(\bar{A}+B+\bar{C}+\bar{D})(A+B+\bar{C}+D)(\bar{A}+\bar{B}+\bar{C}+\bar{D})(A+B+\bar{C}+\bar{D})$$



الشكل (5-54)

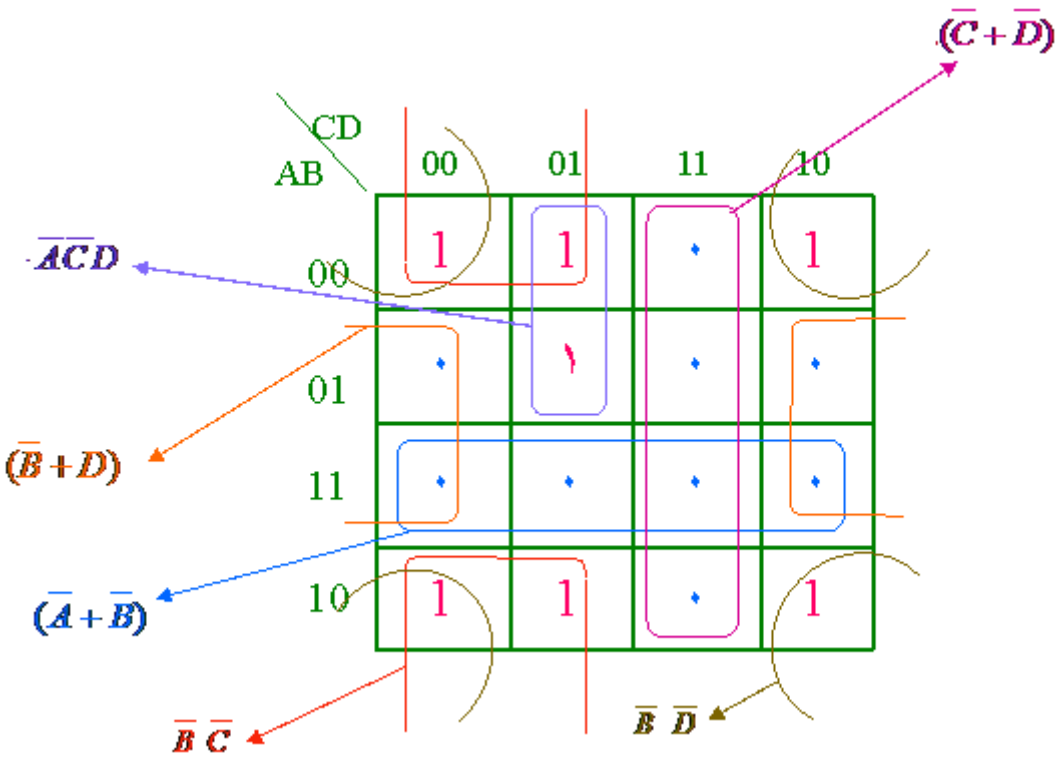
مثال (29):

بسط التابع المنطقي الآتي وذلك بالطريقتين الآتيتين:

$$Y(A,B,C,D)=\sum(0,1,2,5,8,9,10)$$

1. بصيغة مجموع جداءات.

2. بصيغة جداء مجاميع.



الشكل (5-55)

تجمع الخلايا الحاوية على الواحدات فنحصل على التابع المبسط بصيغة مجموع الجداءاتSOP وهو:

$$Y = \overline{B}\,\overline{D} + \overline{B}\,\overline{C} + \overline{A}\,\overline{C}\,D$$

وبتجميع الخلايا الحاوية على الأصفار نحصل على التابع المبسط بصيغة جداء المجاميعPOS وهو:

$$Y = (\overline{A} + \overline{B}).(\overline{C} + \overline{D}).(\overline{B} + D)$$

وكلا الصيغتين تعبر عن التابع نفسه.

تمارين

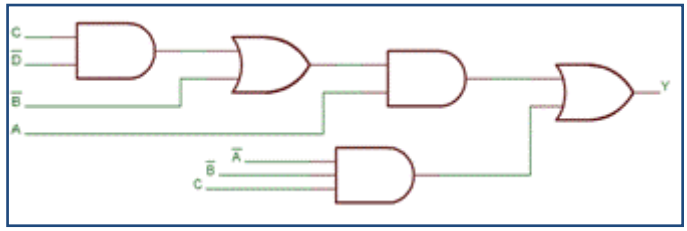
1 : عرف مايلي:

المتحول المنطقي، التابع المنطقي ،جدول الحقيقة

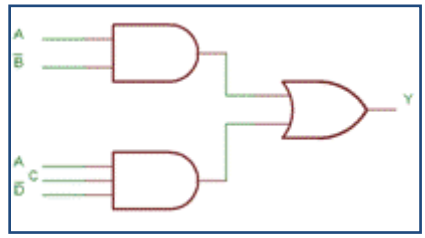
2 : عدد طرق تمثيل التوابع المنطقية.

3 : أوجد التابع المنطقي Y(علاقة الخرج) لكل من الدارات المنطقية التالية :

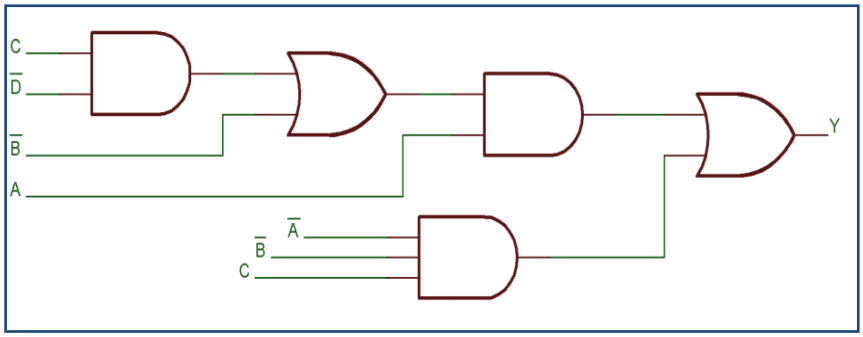
.1



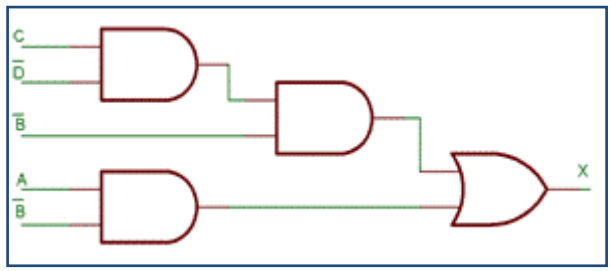
.2



.3



.4



4: ارسم الدارة المنطقية لكلٍ من التوابع المنطقية الآتية:

.1

$$Y = \left[A \left(B + \overline{C} \right) + \overline{A} B \right] \cdot C$$

.2

$$Y = X \overline{Y} + Z$$

5. بسط التوابع الآتية باستخدام قواعد الجبر المنطقي ومخطط كارنو:

$$Y_1 = \overline{A}\,\overline{B} + A\overline{B}$$

$$Y_2 = \overline{A}\,\overline{B}\,\overline{C} + \overline{A}B\overline{C} + AB\overline{C} + A\overline{B}\,\overline{C}$$

$$Y_3 = \overline{A}\,\overline{B} + A\overline{B}\,\overline{C} + A\overline{B}C$$

$$Y_4 = C + \overline{A}\,\overline{B} + \overline{A}\overline{B}C + ABC + A\overline{B}C + \overline{B} + A\overline{B}\,\overline{C}$$

$$Y_5 = ABC + AB\overline{C} + \overline{A}BC$$

$$Y_6 = \overline{A}\overline{B}C\,\overline{D} + \overline{A}BC\,\overline{D} + A\overline{B}C\,\overline{D} + A\overline{B}C\,\overline{D}$$

$$Y_7 = AD + CD + C\overline{D} + AB\overline{C}D + ABCD + \overline{A}\overline{C}D + A\overline{C}D + D + \overline{A}C\overline{D} + \overline{A}\overline{B}D$$

$$Y_8 = \overline{A}B + AB + CD + \overline{A}B\overline{C}D + ABCD + \overline{A}\overline{C}D + A\overline{C}D + D + \overline{A}C\overline{D} + \overline{A}\overline{B}D$$

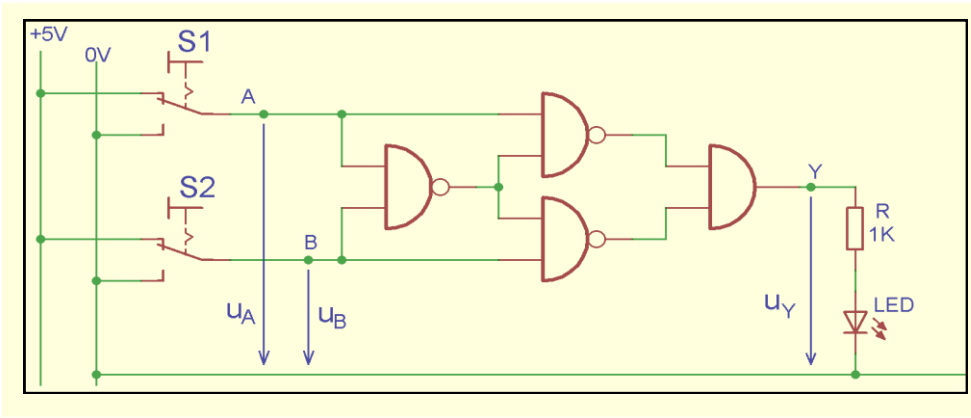
6 . اختصر التوابع المنطقية الآتية باستخدام التابع العكسي:

$$Y_1 = \overline{A}B\overline{C} + \overline{A}\overline{B}C + A\overline{B}\overline{C} + A\overline{B}C$$

$$Y_2 = \overline{A}\,\overline{B} + \overline{C}\,\overline{D} + A\overline{B}C\,\overline{D} + \overline{B}C + B\,\overline{D}$$

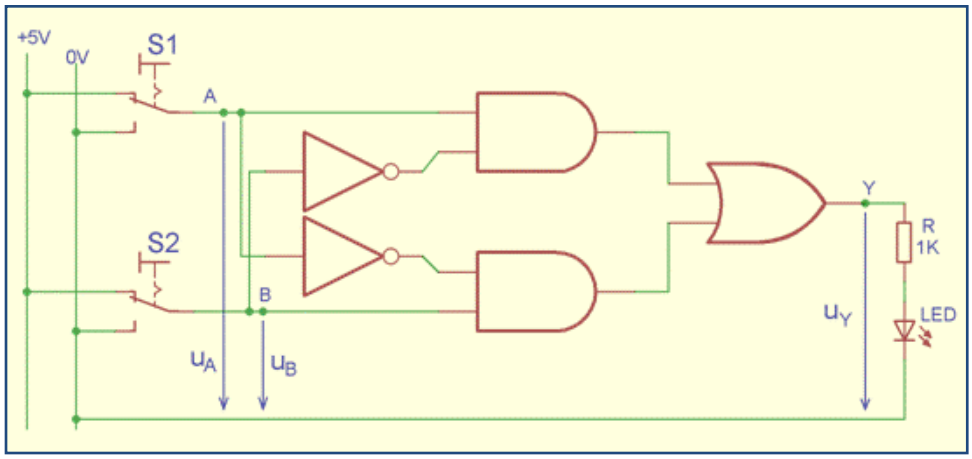
7. نفذ الدارات المبيّنة في الأشكال أدناه واتمم جدول الحقيقة لها واكتب التابع المنطقي المعبر عنها وأوجد صيغة مختصرة للتابع.

A •



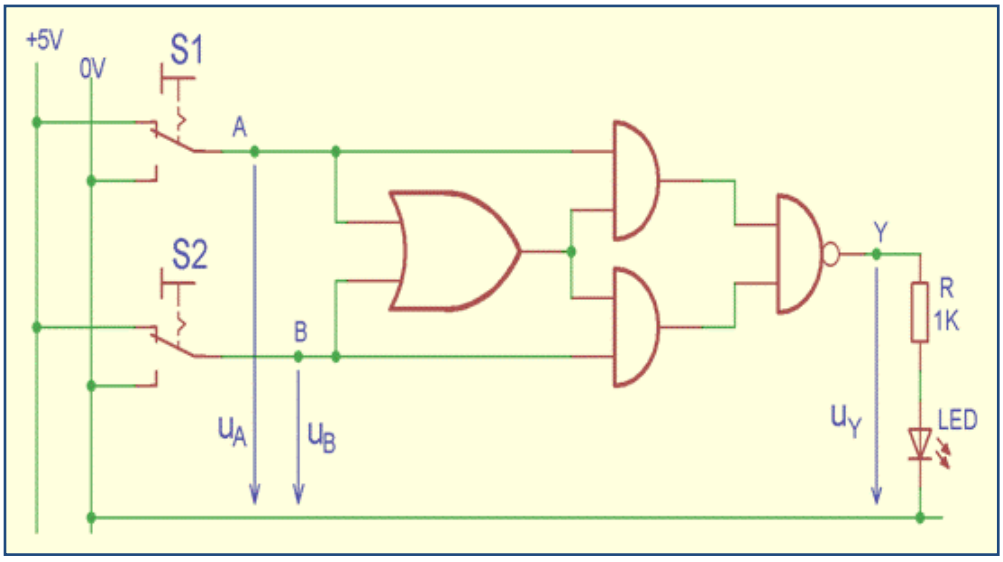
A	B	y

B •



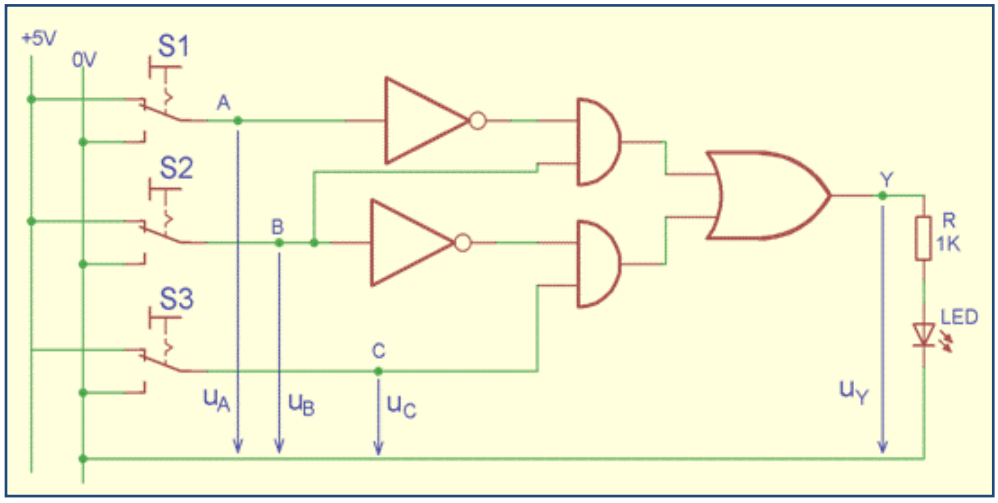
A	B	Y

C •



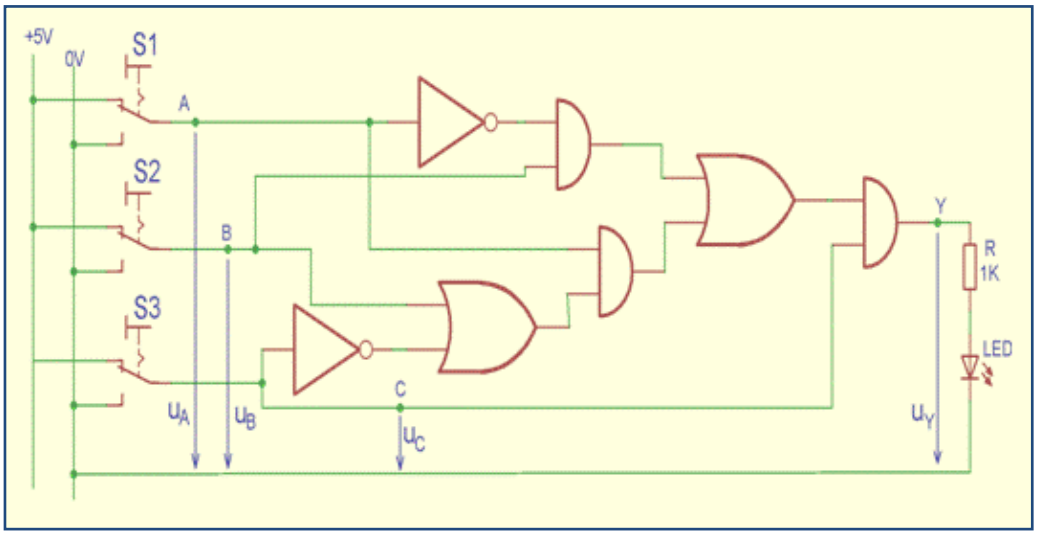
A	B	Y

D •



A	B	C	Y
0	0	0	
1	0	0	
0	1	0	
1	1	0	
0	0	1	
1	0	1	
0	1	1	
1	1	1	

E •



A	B	C	Y
0	0	0	
1	0	0	
0	1	0	
1	1	0	
0	0	1	
1	0	1	
0	1	1	
1	1	1	

الفصل السادس

الدارات التركيبية

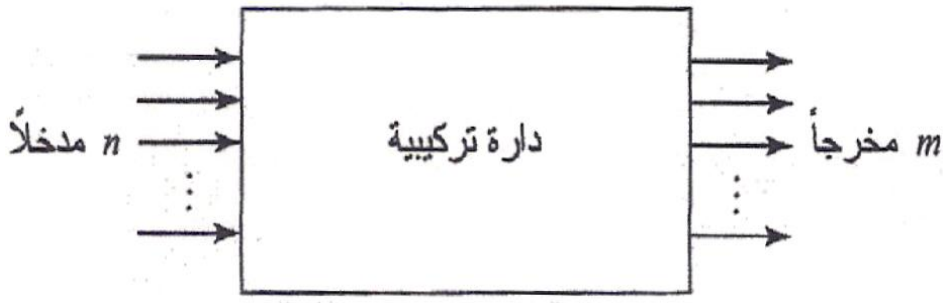
COMBINATIONAL CIRCUTS

الدارات التركيبية COMBINATIONAL CIRCUTS:

يمكن أن تكون الدارات المنطقية للنظم الرقمية تركيبية combinational أو تتابعية sequential. تتكون الدارات التركيبية من بوابات منطقية تتحدد قيم مخارجها في أي لحظة من تركيبة المداخل في تلك اللحظة. وتنفِّذ الدارة التركيبة العملية التي يمكن تعريفها منطقياً بواسطة مجموعة توابع بوليانية Boolean functions. تَستخدم الدارات التتابعية إضافة إلى البوابات المنطقية logic gates عناصر تخزين. وتكون مخارجها تابعة إلى المداخل وإلى حالة عناصر التخزين. وتكون حالة عناصر التخزين بدورها تابعة إلى المداخل السابقة. ونتيجة لذلك، لا يعتمد خرج الدارة التتابعية على الحالة الراهنة للمداخل فقط، بل أيضاً على القيم السابقة للمداخل،ويجب أن يحدد سلوك الدارة تبعاً للتتابع الزمني للمداخل وللحالات الداخلية. ستناقش الدارات التتابعية لاحقاً.

تتألف الدارة التركيبية من مجموعة من متحولات الدخل input variables، ومجموعة من البوابات المنطقية logic gate ، ومتحولات الخرج output variables. تقبل البوابات النطقية الإشارات من المداخل وتولد إشارات في المخارج. تحول هذه العملية المعلومات الثنائية من المعطيات binary

information الموجودة على المداخل إلى معطيات مطلوبة في الخارج. يبين (الشكل6–1) مخططاً صندوقياً لدارة تركيبية. تأتي متحولات الدخل الثنائية وعددها n من مصدر خارجي؛ وتذهب المخارج وعددها m خرجاً إلى وجهات destination خارجية. فكل دخل أو خرج موجود فيزيائياً على شكل إشارة ثنائية binary signal تمثل المنطق 1 والمنطق 0. تكون المصادر والوجهات في معظم التطبيقات هي سجلات تخزين storage registers. فإذا ضُمِّنت السجلات والبوابات التركيبية في دارة واحدة،عندها يجب اعتبار الدارة الكلية دارة تتابعية.



الشكل(6-1)

المخطط صندوقي لدارة تركيبية

6-1-إجرائية التحليلANALYSIS PROCEDURE:

يتطلب تحليل الدارة التركيبية تحديد التابع الذي تحققه الدارة. تبدأ هذه العملية من مخطط منطقي معطى وتنتهي بمجموعة من التوابع البوليانية وجدول حقيقة أو إيضاحاً لعمل الدارة.

إذا ترافق المخطط المنطقي المطلوب تحليله باسم التابع أو بإيضاح العمل المفروض إنجازه، عندها تنحصر مشكلة التحليل في إثبات صحة التابع لمحدد.

الخطوة الأولى في التحليل هي التأكد أن الدارة المعطاة هي من النوع التركيبي وليس التتابعي.

مخطط الدارة التركيبية يكون فيه بوابات ولا توجد فيه ممرات تغذية خلفية feedback paths أو عناصر ذاكرة memory elements وممر حلقة التغذية الخلفية هو وصلة تصل خرج إحدى البوابات بدخل بوابة أخرى تُكوِّن جزءاً من دخل البوابة الأولى.

تُعرَّف ممرات التغذية الخلفية في النظم الرقمية بدارة تتابعية يتم تحليلها بطريقة مختلفة عن الدارات التركيبية.

6-2-إجرائية التصميمDESIGN PROCEDURE:

تبدأ عملية تصميم الدارات التركيبية من وصف المسألة وتنتهي بالمخطط المنطقي للدارة أو بمجموعة التوابع البوليانية التي يمكن الحصول منها على المخطط المنطقي وتتضمن الإجرائية الخطوات التالية:

1- عيِّن بالاعتماد على مواصفات الدارة circuit specification عدد المداخل والمخارج المطلوبة وخصِّص رمزاً لكل منها.

2- استنتج جدول الحقيقة الذي يحدد العلاقة بين مداخل ومخارج الدارة.

3- أوجد التوابع البوليانية المبسطة لكل خرج كتابع لمتحولات الدخل.

4- ارسم المخطط المنطقي للدارة وتحقق من صحة التصميم.

تُبسط التوابع البوليانية المذكورة في جدول الحقيقة بأي من الطرق المتاحة كالمعالجة الجبرية أو بواسطة المخططات (مخطط كارنو) أو باستخدام برامج تبسيط معتمدة على الحاسوب توجد أحياناً عدة تعابير مبسطة نختار إحداها.

مثال 1 :

تبديل الترميز CODE CONVERSION EXCAMPLE:

ينتج عن توفر تنوع واسع من التراميز codes لنفس العناصر المتقطعة من المعلومات استخدام تراميز مختلفة من قبل نظم رقمية مختلفة.

وقد يكون من الضروري أحياناً استخدام خرج أحد الأنظمة دخلاً لنظام أخر وعليه يجب وضع دارة تبديل بين النظامين إذا استخدم كل منهما تراميز مختلفة للمعلومات ذاتها.

وبذلك فإن مبدل الترميز هو دارة تجعل النظامين متوافقين (متوائمين) مع أن كلاً منهما يستخدم ترميزاً ثنائياً مختلفاً عن الآخر.

للتبديل من ترميز ثنائي A إلى ترميز ثنائي B يجب أن تقدم خطوط الدخل تركيب الخانات الثنائية من العناصر كما هي محددة في الترميز A ويجب أن تولِّد خطوط الخرج تركيب الخانات الموافق في الترميز B.

تقوم الدارة التركيبية بعملية التبديل هذه بواسطة بوابات منطقية وسوف نوضح إجرائية التصميم بمثال يبدل الترميز العشريالمرمز ثنائياً binary coded decimal (BCD) إلى ترميز الزائد ثلاثة (Excees-3) للأرقام العشرية.

نظراً لأن كلاً من التراميز يستخدم أربعة خانات ثنائية لتمثيل كل رقم من الأرقام العشرية فيجب أن يكون هناك أربعة متحولات دخل وأربعة متحولات خرج .

نخصص المتحولات الثنائية الأربعة D،C،B،A للدخل والمتحولات الثنائية Z،Y،X،W للخرج.

يبين (الجدول 6–1) جدول الحقيقة الذي يربط متحولات الدخل بمتحولات الخرج.

تم الحصول على تراكيب الخانة bit combination للمداخل وما يوافقها في المخارج.

لاحظ أن المتحولات الثنائية أربعة يوجد 16 تركيباً ممكناً عشرة منها فقط تم استخدامها. أما التراكيب الستة المتبقية فهي تراكيب عدم اكتراث don، t care combination فليس لهذه القيم معنى في الترميز BCD ونفترض أن هذه التراكيب لن تحدث أبداً لذلك لدينا مطلق الحرية في أن نسند لمتحولات الخرج القيم 1 أو 0 أيهما تعطي دارة أبسط.

الدخل في ترميز BCD				الدخل في ترميز الزائد ثلاثة			
A	B	C	D	W	X	Y	Z
0	0	0	0	0	0	1	1
0	0	0	1	0	1	0	0
0	0	1	0	0	1	0	1
0	0	1	1	0	1	1	0
0	1	0	0	0	1	1	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0
1	0	1	0	x	x	X	X
1	0	1	1	x	x	X	X
1	1	0	0	x	x	X	X
1	1	0	1	x	x	X	X
1	1	1	0	x	x	X	X
1	1	1	1	x	x	X	X

(الجدول 6-1)

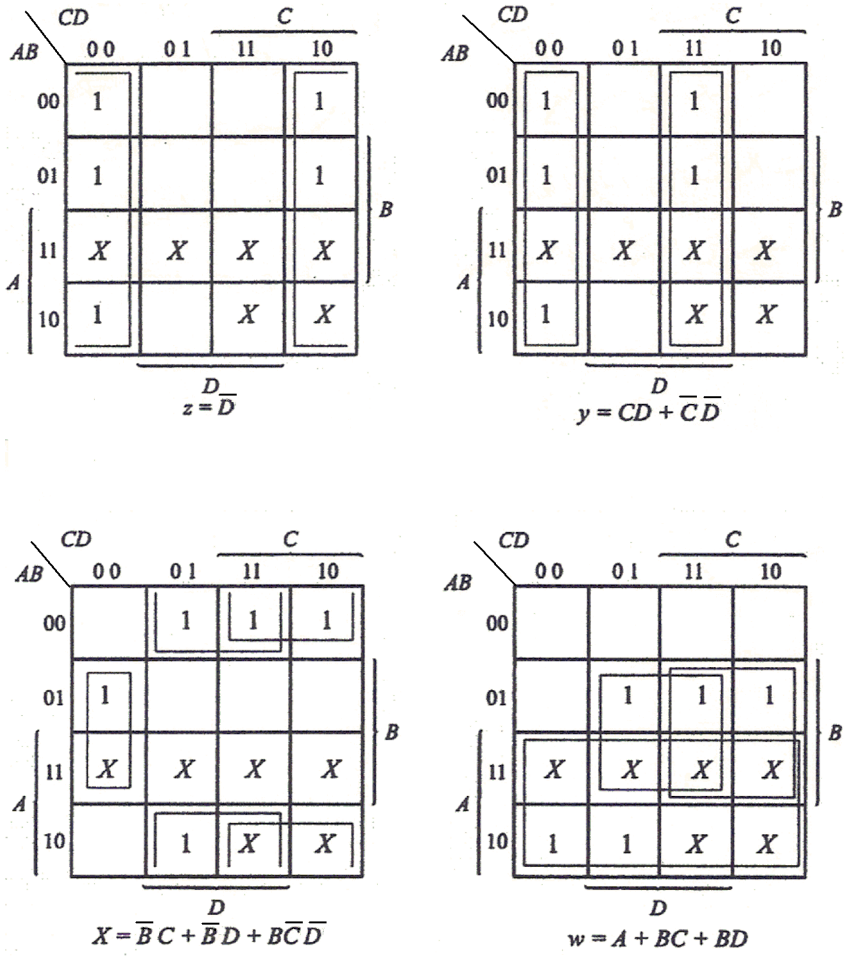
جدول الحقيقة لمبدل الترميز

رسمت المخططات في (الشكل 6–2) للحصول على توابع بوليانية مبسطة للمخارج يمثل كل مخطط من المخططات الأربعة هذه واحداً من المخارج الأربعة في الدارة كتابع لمتحولات الدخل الأربعة.

حصلنا على الواحدات الموضوعة داخل مربعات المخطط من الحدود الأصغرية التي تجعل الخرج يساوي 1. وتم الواحدات (s،1) من جدول الحقيقة باستعراض أعمدة المخارج واحداً واحداً. نجد على سبيل المثال أن العمود المخصص للخرج Z يحوي خمسة واحدات (s،1)، وهكذا، المخطط Z فيه خمسة واحدات (s،1) كل منها موجود في مربع يقابل الحد الأصغري الذي يجعل Z=1.

عُلِّمت المربعات الستة الموافقة لحدود عدم الاكتراث الستة من 10 ولغاية 15 بـX.

لقد بيَّنا تحت مخطط كل متحول إحدى الطرق الممكنة لتبسيط التوابع بصيغة مجموع جداءات.



(الشكل 6-2)

المخططات البوليانية لمبدل الترميز

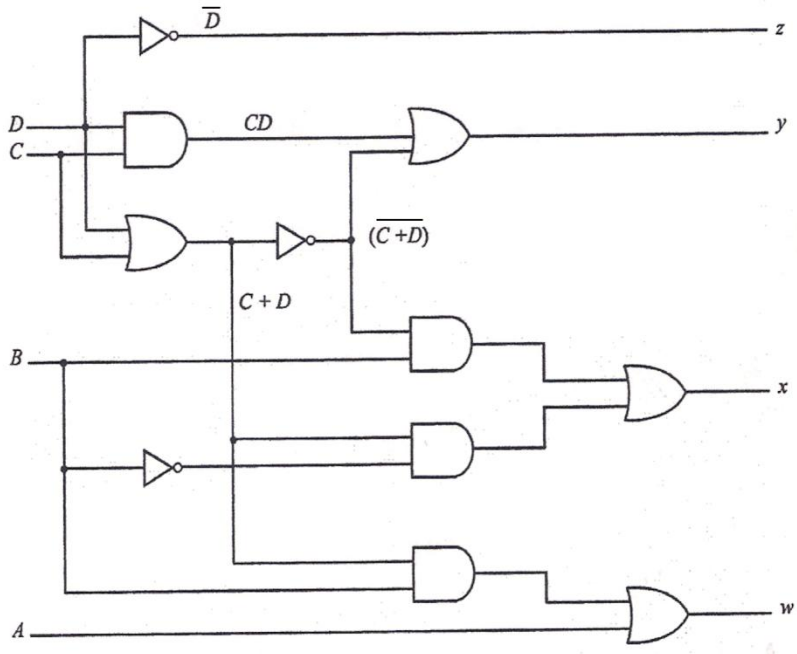
يمكن الحصول على مخطط منطقي بمستويين من العبارة البوليانية المشتقة مباشرة من المخطط.

هناك عدة إمكانيات أخرى متنوعة للمخطط المنطقي الذي يحقق هذه الدارة.

يمكن معالجة التعابير التي نحصل عليها في (الشكل 6–2) جبرياً بهدف استعمال بوابات عامة بخرجين أو أكثر. توضح هذه المعالجة المبينة لاحقاً المرونة التي نحصل عليها في النظم المتعددة المخارج عند تحقيقها بثلاثة مستويات أو أكثر من البوابات.

$$z = \overline{D}$$
$$y = CD + \overline{C}\ \overline{D} = CD + \overline{(C + D)}$$
$$x = \overline{B}\ C + \overline{B}\ D + B\overline{C}\ \overline{D} = \overline{B}\ (C + D) + B\overline{C}\ \overline{D}$$
$$= \overline{B}\ (C + D) + B\overline{(C + D)}$$
$$w = A + BC + BD = A + B(C + D)$$

يبين الشكل (6–3) المخطط المنطقي الذي يحقق هذه التعابير. لاحظ أن البوابة OR التي خرجها C+D استخدمت لتحقيق كل خرج من المخارج الثلاثة جزئياً. يحتاج تحقيق التعابير بصيغة مجموع جداءات إلى سبع بوابات AND وثلاث بوابات OR(دون حساب عواكس الدخل). ويتطلب تحقيق (الشكل 6–3) أربع بوابات AND وأربع بوابات OR وعاكساً وحيداً. ولكن إذا كانت المداخل العادية هي المتوافرة فقط، عندها يتطلب لتحقيق الأول عواكس للمتحولات B،C،D ويتطلب التحقيق الثاني عاكسين للمتحولين B،D.



الشكل (6- 3)

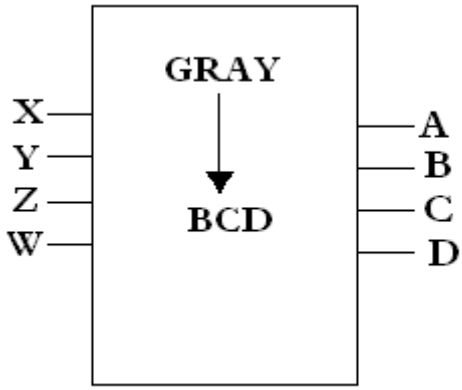
المخطط المنطقي لمبدل الترميز

مثال 2 :

صمم دارة تقوم بالتحويل من ترميز GRAY إلى ترميز BCD.

الحل :

يبين الشكل (6–4) المخطط الصندوقي للدارة المطلوبة . حيث نجد أن الدارة لها أربع مداخل X،Y،Z، W حسب عدد خانات ترميز GRAY ولها أربع مخارج A،B،C، D حسب عدد خانات ترميز BCD .



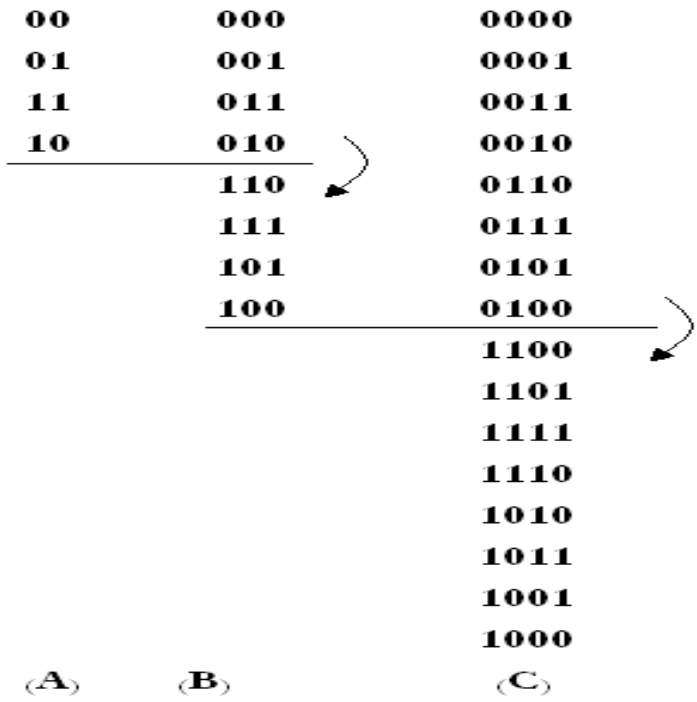
الشكل(6-4)

المخطط الصندوقي لمبدل الترميزمن BCD إلى GRAY

ولكن قبل كتابة جدول الحقيقة لا بد أن نوضح كيفية الحصول على ترميز GRAY.

الصفة المميزة لترميز GRAY أن الرموز المتتالية لا تختلف عن بعضها بأكثر من خانة واحدة يبين الشكل (6–5–A) ترميز GRAY الأساسي . و يمكن الحصول على ترميز GRAY بثلاث خانات فقط بعكس الرمز بخانتين حول محور يوضع في نهاية الرمز بإضافة خانة ثالثة قيمتها 0 فوق المحور و 1

تحت المحور. و يوضح الشكل (B–5–6) ذلك . وبعكس الرمز بثلاث خانات يمكن الحصول على الترميز بأربع خانات كما في الشكل (C–5–6) .



الشكل(6- 5)

ترميزGRAY

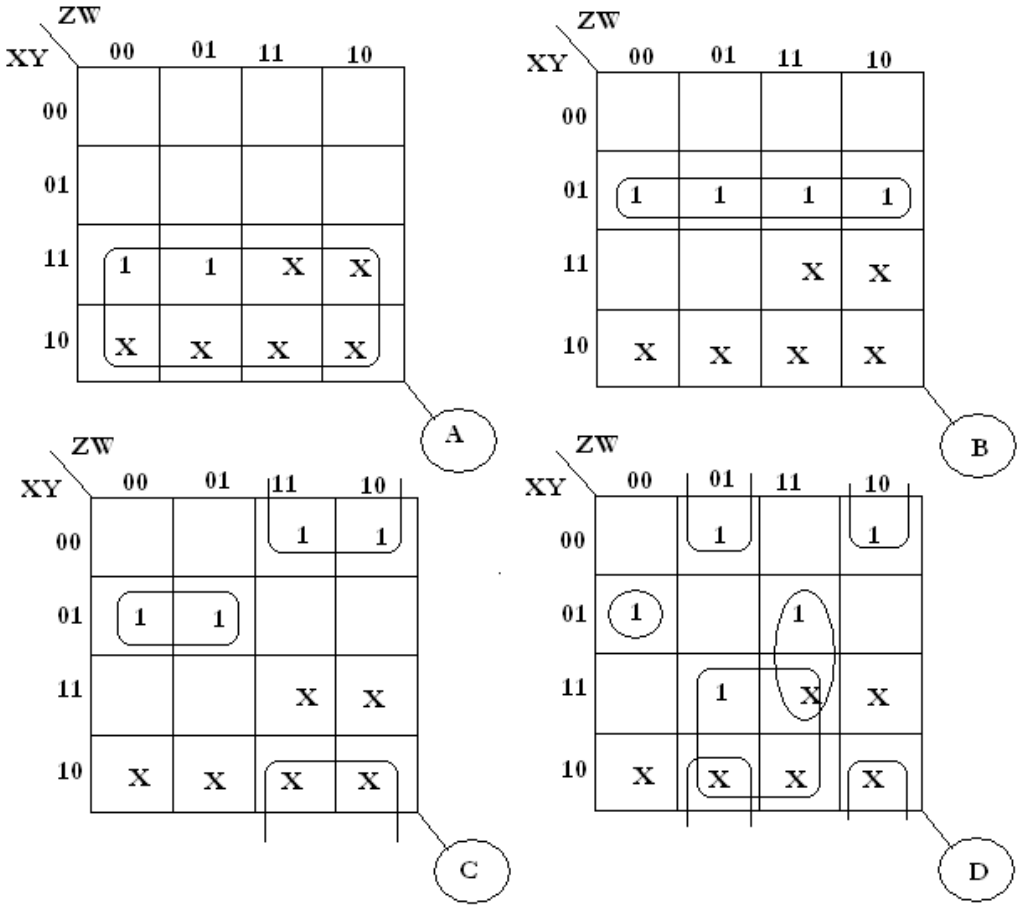
الترميز الذي سنستخدمه هو بأربع خانات نأخذ التراميز العشرة الأولى لكي نستخدمها في التصميم ويكون جدول الحقيقة كما هو مبين بالجدول (6–2) :

الرقم العشري	ترميزGRAY				ترميزBCD			
	X	Y	Z	W	A	B	C	D
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	1	0	0	1	0
3	0	0	1	0	0	0	1	1
4	0	1	1	0	0	1	0	0
5	0	1	1	1	0	1	0	1
6	0	1	0	1	0	1	1	0
7	0	1	0	0	0	1	1	1
8	1	1	0	0	1	0	0	0
9	1	1	0	1	1	0	0	1
التراميز غير المستخدمة	1	0	0	0	x	x	x	x
	1	0	0	1	x	x	x	x
	1	0	1	0	x	x	x	x
	1	0	1	1	x	x	x	x
	1	1	1	0	x	x	x	x
	1	1	1	1	x	x	x	x

الجدول 6-2

جدول الحقيقة لمبدل الترميزمن BCD إلى GRAY

ثم ننتقل لرسم جداول كارنو وهي مبينة بالشكل (6–6) للحصول على المعادلات المختصرة لمخارج هذه الدارة :



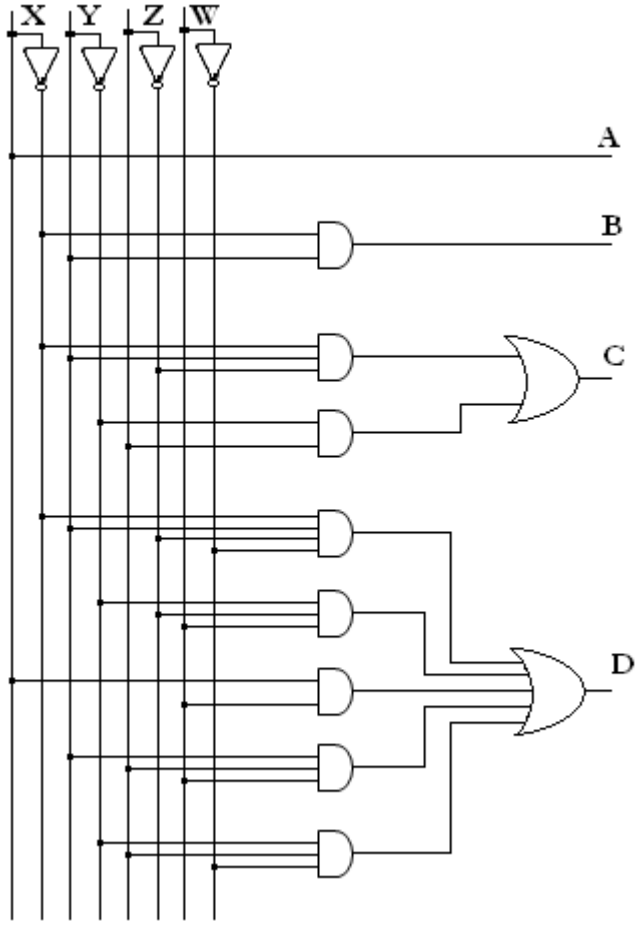
الشكل 6-6

جداول كارنو لمبدل الترميزمن BCD إلى GRAY

فنجد أن المعادلات تصبح كما يلي :

$$A=X$$
$$B=\overline{X}Y$$
$$C=\overline{X}Y\overline{Z}+\overline{Y}Z$$
$$D=\overline{X}Y\overline{Z}\overline{W}+\overline{Y}\overline{Z}W+XW+YZW+\overline{Y}Z\overline{W}$$

و الرسم موضح بالشكل (6–7)



الشكل6-7

دارة مبدل الترميزمن BCD إلى GRAY

6-3-الجامع-الطارحالثنائيBINARY ADDER-SUBTRACTOR:

تنفذ الحواسيب الرقمية مهام متنوعة لمعالجة المعلومات. فمن بين الوظائف التي يمكن مصادفتها العمليات الحسابية بمختلف أنواعها. وتعد عملية جمع رقمين ثنائيين جمعاً حسابياً أكثر العمليات الحسابية أهمية. تتألف عملية الجمع البسيط من أربع عمليات أولية ممكنة:

0 + 0 = 0 و 0 + 1 = 1 و 1 + 0 = 1 و 1 + 1 = 10. تُنتج العمليات الثلاث الأولى مجموعاً sum مكوناً من خانة واحدة لكن عندما يكون المضاف augend والمضاف إليه addend مساوياً للـ 1 فإن المجموع الثنائي يشتمل على خانتين (رقمين ثنائيين). تدعى الخانة الأكثر دلالة higher significant bit منقولاً carry. وعندما يتألف كل من المضاف والمضاف إليه من عدد أكبر من الأرقام ذات الدلالة فإن المنقول الذي نحصل عليه نتيجة جمع خانتين ثنائيتين يُضاف هو الآخر إلى زوج الخانات الثنائية الموجود في المرتبة الأعلى مباشرة. يُطلق على الدارة التركيبية التي تنفذ عملية جمع خانتين اسم نصف جامع (جامع نصفي) half adder. وتدعى الدارة التي تنفذ عميلة جمع ثلاثة خانات (خانتين ذوي دلالة ومنقول من مرتبة سابقة) جامعاً كاملاً (جامع تام) full adder.

أما الجامع الطارح الثنائي binary adder-subtractor فهو دارة تركيبية تنفذ العمليتين الحسابيتين الجمع والطرح للأعداد الثنائية وسنقوم بتطوير هذه الدارة بطريقة التصميم الهرمي وسوف نبدأ بتصميم نصف الجامع أولاً ومنه نطور الجمع الكامل بوصل n جامعاً كاملاً على التتالي نحصل على جامع ثنائي binary

adder لجمع عددين ثنائيين يتألف كل منهما من n خانة ولقد ضُمِّنت دارة الطارح بدارة إتمام.

6-4- نصف الجامع (الجامع النصفي)Half-Adder:

نجد من الوصف الكلامي لنصف الجامع، أنَّ هذه الدارة تحتاج إلى دخلين ثنائيين خرجين ثنائيين. يسمى متحولا الدخل خانتي المضاف augend والمضاف إليه addend، ويُنتج الخرجان المجموع sum والمنقول carry. نخصص الرمزين x و y للدخلين، وللخرجيننخصص الرمزين S للمجموع و C للمنقول. يبين (الجدول 6-3) جدول الحقيقة لنصف الجامع. ويكون الخرج $C = 1$ فقط عندما يكون الدخلان واحدَين. ويمثل الخرج S الخانة الأقل دلالة في المجموع.

X	Y	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

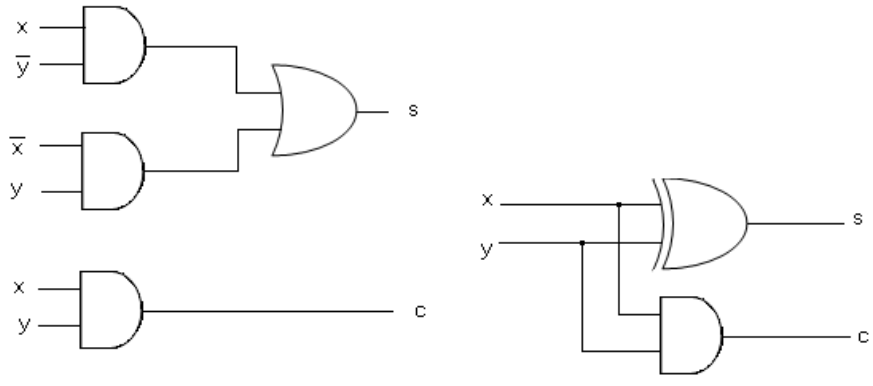
الجدول(6-3)

جدول الحقيقة لنصف الجامع

يمكن الحصول على التوابع البوليانية المبسطة للخرجين من جدول الحقيقة مباشرة. ويكون التعبيران المبسّطان بصيغة مجموع جداءات:

$$S = x\bar{y} + \bar{x}y$$
$$C = xy$$

يبين (الشكل 6–8 أ) المخطط المنطقي الذي يحقق نصف جامع بصيغة مجموع جداءات sum of products. ويمكن تحقيقه أيضاً بواسطة بوابة exclusive-OR وبوابة And كما هو مبين في (الشكل 6–8 ب). وهذا الشكل يستعمل لإظهار أنه يمكن بناء جامع كامل باستخدام نصفي جامع.



$S = x\bar{y} + \bar{x}y$ أ
$C = xy$

$S = x \oplus y$ ب
$C = xy$

الشكل(6-8)

المخطط المنطقي لنصف جامع

6–5–الجامع الكاملFull-Adder:

الجامع الكامل هو دارة تركيبية تكوِّن المجموع الحسابي لثلاثة خانات للجامع الكامل ثلاثة مداخل وخرجان. نرمز لمتحولي الدخل الذين سيجمعان بـ x و y، وللثالث الذي يمثل المنقول carry السابق (المرتبة السابقة) بـ z. إن وجود خرجين للجامع الكامل أمر ضروري نظراً لأن قيمة المجموع الحسابي لثلاثة أرقام ثنائية يقع في المجال من 0 إلى 3، وتحتاج كل قيمة من القيمتين الثنائيتين 2 و 3 إلى خانتين لتمثيلهما. لقد رمزنا إلى الخرجين بالرمزين S للناتج و C للمنقول. يعطي المتحول الثنائي S قيمة الخانة الأقل دلالة في المجموع sum. ويعطي المتحول الثنائي C قيمة منقول الخرج output carry. يبين (الجدول 6-4) جدول الحقيقة للجامع الكامل. تدل الأسطر الثمانية الواقعة تحت متحولات الدخل على جميع التراكيب الممكنة لمتحولات الدخل الثلاثة. تتحدد قيم متحولات الخرج من المجموع الحسابي لخانات الدخل.

فعندما تكون جميع خانات الدخل 0، يكون الخرج 0. على حين يكون الخرج S=1 عندما تكون قيمة أحد المداخل الثلاثة تساوي 1 فقط أو عندما تكون المداخل الثلاث جميعها واحدات (s،1). وتكون قيمة خرج المنقول C=1 عندما تكون قيمة دخلين أو المداخل الثلاث تساوي 1.

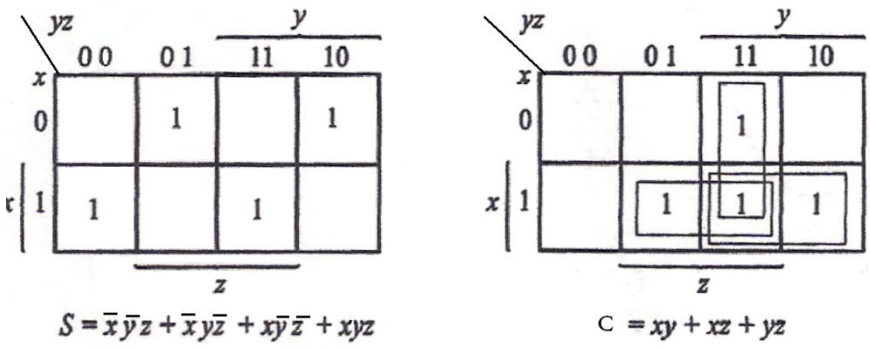
X	Y	Z	S	C
0	0	0	0	0

0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

الجدول(6 -)4

يكون لخانات دخل الدارة التركيبية وخرجها تفاسير مختلفة في مراحل مختلفة من المسألة. تعتبر إشارات المداخل من الناحية الفيزيائية physically أراقماً ثنائية تُجمع حسابياً لتكوِّن على الخرج مجموعاً يتألف من رقمين. من ناحية أخرى تعد القيم الثنائية نفسها متحولات لتوابع بوليانية عند التعبير عنها في جدول الحقيقة أو عند تحقيق الدارة باستخدام بوابات منطقية. يبين (الشكل 6–9) مخططات مخارج الجامع الكامل. والتعابير المبسطة هي:

$$S = \bar{x}\bar{y}z + \bar{x}y\bar{z} + x\bar{y}\bar{z} + xyz$$
$$C = xy + xz + yz$$



الشكل (6- 9)

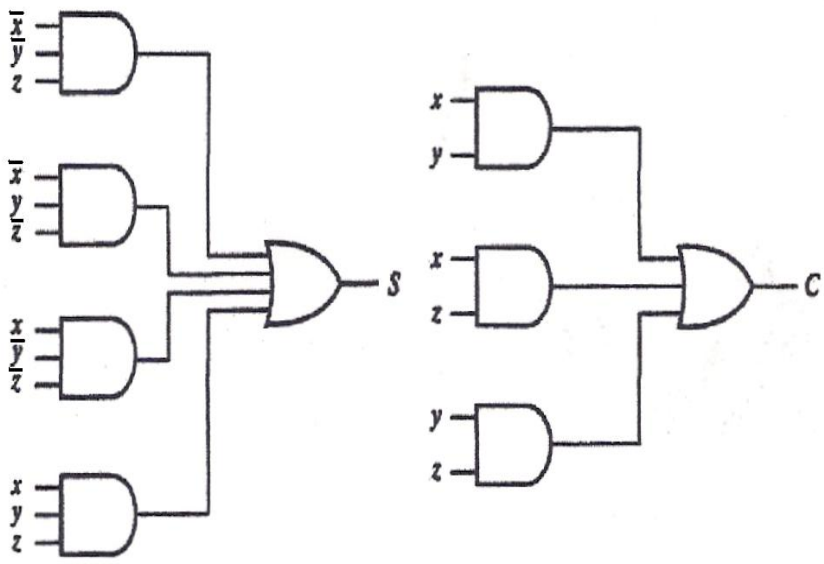
مخططات مخارج الجامع الكامل

يبين (الشكل 6–10) المخطط المنطقي للجامع الكامل المحقق بصيغة مجموع جداءات. يمكن تحقيقه أيضاً بنصفي جامع ومن بوابة OR، كما هو مبين في (الشكل 6–11). الخرج Sفينصف الجامع الثاني هو ناتج عملية EX-OR للخرج z مع خرج نصف الجامع الأول، الذي يعطي:

$$S = \mathrm{z} \oplus (\mathrm{x} \oplus \mathrm{y})$$
$$= \bar{\mathrm{z}}(\mathrm{x}\bar{\mathrm{y}} + \bar{\mathrm{x}}\mathrm{y}) + \mathrm{z}(\mathrm{x}\bar{\mathrm{y}} + \bar{\mathrm{x}}\bar{\mathrm{y}})$$
$$= \bar{\mathrm{z}}(\mathrm{x}\bar{\mathrm{y}} + \bar{\mathrm{x}}\mathrm{y}) + \mathrm{z}(\mathrm{xy} + \bar{\mathrm{x}}\bar{\mathrm{y}})$$
$$= \mathrm{x}\bar{\mathrm{y}}\bar{\mathrm{z}} + \bar{\mathrm{x}}\mathrm{y}\bar{\mathrm{z}} + \mathrm{xyz} + \bar{\mathrm{x}}\bar{\mathrm{y}}\mathrm{z}$$

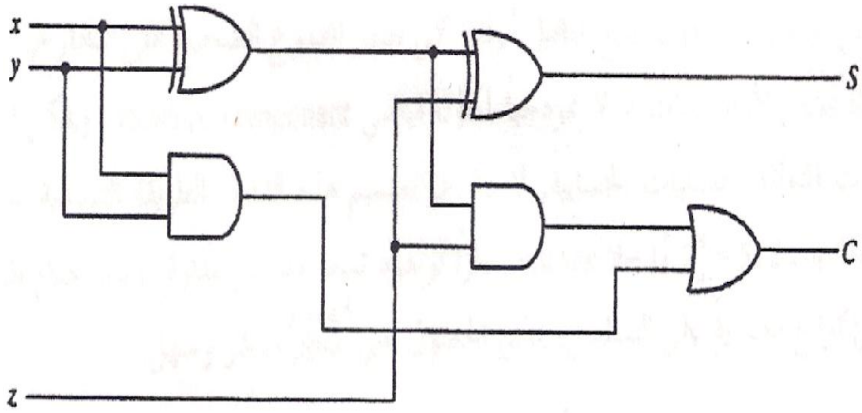
ويكون الخرج المنقول:

$$C = \mathrm{z}(\mathrm{x}\bar{\mathrm{y}} + \bar{\mathrm{x}}\mathrm{y}) + \mathrm{xy} = \mathrm{x}\bar{\mathrm{y}}\mathrm{z} + \bar{\mathrm{x}}\mathrm{yz} + \mathrm{xy}$$



الشكل 6-10

المخطط المنطقي للمخطط الكامل المحقق بصيغة مجموع جداءات



الشكل 6-11جامع كامل بواسطة نصفي جامع و بوابةOR

6-6- جامع ثنائي BINARY ADDER:

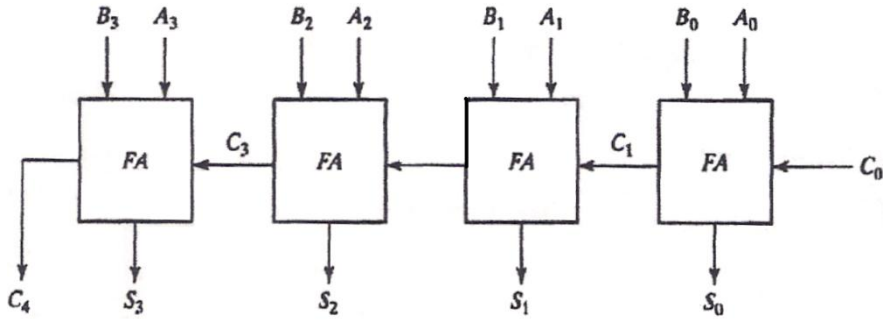
الجامع الثنائي هو دارة رقمية تنتج المجموع الحسابي لعددين ثنائيين. ويمكن بناء هذا الجامع من جوامع كاملة متصلة على التتالي، بحيث يوصل منقول الخرج في كل جامع من الجوامع الكاملة إلى دخل المنقول في الجامع الكامل التالي في سلسلة الجوامع. يبين (الشكل 6–12) التوصيلات البينية لأربعة جوامع كاملة (FA) لتكوين جامع ثنائي بأربع خانات ذي منقول تموّجي 4-bit binary ripple carry adder . وأُشيرَ فيه إلى خانات المضاف إليه A وإلى خانات المضاف B بأعداد دليلية subscript numbers من اليمين إلى اليسار حيث يشير الدليل 0 إلى الخانة الأقل دلالة. وُصِلت المناقيل على شكل سلسلة عبر الجوامع الكاملة. إن منقول الدخل إلى الجامع هو C_0 وينتشر (يتموج) هذا المنقول عبر الجوامع الكاملة حتى منقول الخرج C_4. تولِّد المخارج S خانات الناتج (المجموع) المطلوب. يتطلب جامع من طول n خانة إلى n جامع كامل، بحيث يوصل منقول الخرج في كل جامع إلى منقول الدخل للجامع الكامل الذي يليه مباشرة بالترتيب الأعلى.

وفيما يلي تتمة الشرح بمثال محدد ، نأخذ العددين الثنائيين $A = 1011$ و $B = 0011$. يتكون مجموعهما $S = 1110$ في جامع لأربعة خانات كما يلي:

الدليل i	3	2	1	0	
منقول الدخل	0	1	1	0	C_i
المضاف إليه	1	0	1	1	A_i
المضاف	0	0	1	1	B_i
المجموع	1	1	1	0	S_i
منقول الخرج	0	0	1	1	C_{i+1}

جمعت الخانات في الجوامع الكاملة بدءاً من المواضع الأقل دلالة (الدليل 0)، لتكوين خانة المجموع وخانة المنقول. يجب أن تكون قيمة منقول الدخل C_0 في الموضع الأقل دلالة 0. إن قيمة C_{i+1} في موقع ذي دلالة ما هو منقول الخرج للجامع الكامل. تنقل هذه القيمة إلى منقول الدخل للجامع الكامل الذي تجمع فيه خانات الموقع الأكثر دلالة الواقع على يساره مباشرة. تولِّد خانات المجموع بدءاً من الموضع في أقصى اليمين الذي يصبح متاحاً بمجرد توليد المنقول السابق الموافق. ويجب أن تكون جميع المناقيل مُولدة كي يظهر المجموع الصحيح على المخارج.

يعتبر الجامع الثنائي لأربع خانات مثالاً نموذجياً لمكوّن قياسي standard component. ويمكن استخدامه في الكثير من التطبيقات المتعلقة بالعمليات الحسابية. لاحظ أن تصميم هذه الدارة بالطريقة التقليدية سوف يتطلب إنشاء جدول حقيقة بـ $2^9 = 512$ دخلاً entries، نظراً لوجود تسعة مداخل للدارة. وباستخدام طريقة تكرارية iterative بتوصيل توابع معيارية على التسلسل، يمكن الحصول على تحقيق مباشر وسهل.



الشكل(6-12)

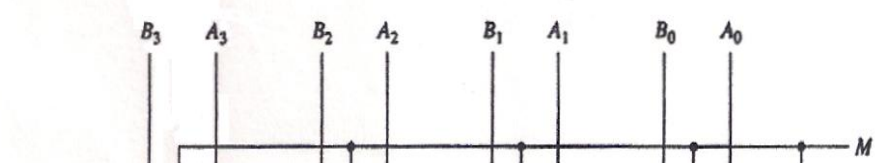
جامع أربع خانات

6-7- الطارح الثنائي BINARY SUBTRACTOR:

يمكن إجراء عملية طرح الأعداد الثنائية غير المقيدة بإشارة unsigned binary numbers بطريقة مناسبة تماماً بواسطة المتممات، وتذَكَّر أنه يمكن إجراء عملية الطرح $A - B$ بأخذ المتمم الثاني لـ B وجمعه مع A. ويمكن الحصول على المتمم الثاني بإيجاد المتمم الأول وإضافة واحد إلى زوج الخانات الأقل دلالةً. ويمكن تحقيق المتمم الأول بسهولة بواسطة عواكس وإضافة واحد إلى المجموع عن طريق منقول الدخل.

تتألف دارة الطرح $A - B$ من جامع مجهز بعواكس موضوعة بين كل دخل معطيات من B والدخل الموافق له في الجامع الكامل. يجب أن تكون قيمة منقول

الدخل C_0 مساوية 1 عند إجراء الطرح. وبذلك تغدو العملية المنفذة هي: A زائد المتمم الأول للعدد B، زائد 1. وهذا يساوي إلى A زائد المتمم الثاني للعدد B. وهذا يعطي A-B في حالة الأعداد غير المقيدة بإشارة إذا كان $A \geq B$ أو المتمم الثاني لـ (B-A) إذا كان $A < B$. وتكون النتيجة هي $A - B$ في حالة الأعداد المقيدة بإشارة شريطة ألا يكون هناك فيض overflow. يمكن ضم عمليتي الجمع والطرح في دارة جامع ثنائي مشتركة واحدة. وذلك بتضمين بوابة exclusive-OR في كل جامع كامل. يبين (الشكل 6–13) دارة جامع طارح adder-subtractor circuit لأربع خانات. يتحكم دخل النمط M (mode) بنوع العملية. إذ تعمل الدارة عمل الجامع عندما يكون $M = 0$، على حين تعمل عمل الطارح عندما يكون $M = 1$. لقد وُصل دخل التحكم M في هذه الدارة إلى أحد دخلي كل بوابة من البوابات exclusive-OR على حين يستقبل الدخل الآخر في كل بوابة واحداً من مداخل B. فعندما يكون $M = 0$، يكون لدينا $B \oplus 0 = B$. أي تستقبل الجوامع الكاملة القيمة B، ويكون منقول الدخل 0، وتقوم الدارة بعملية جمع A مع B. وعندما يكون $M = 1$ ، $B \oplus 1 = \bar{B}$ ويكون $C_0 = 1$. وبذلك تكون جميع مداخل B متممَّة ويضاف 1 عن طريق دخل المنقول. وبهذه الحالة تنفذ (تؤدي) الدارة عملية جمع A إلى المتمم الثاني لـ B. (يكشف الخرج V للبوابة exclusive-OR عن وجود فيض overflow).



دارة جامع طارح لأربع خاناتللشكل 6- 13

جدير بالملاحظة أن جمع وطرح الأعداد الثنائية في نظام المتممات المقيدة بالإشارة signed-complement system يتم بتطبيق قواعد الجمع والطرح الأساسية ذاتها كما في الأعداد غير المقيدة بإشارة. لهذا، تحتاج الحواسيب إلى دارة واحدة لإجراء هذين النوعين من الحساب. ويجب على المستخدم أو المبرمج أن يفسر النتائج لهذا الجمع أو الطرح بطريقة مختلفة، اعتماداً على كون الأعداد مقيدة أو غير مقيدة بإشارة.

6-8- الفيض overflow:

عند جمع عددين يتألف كل منهما من n خانة وكان المجموع يشغل $n + 1$ خانة فإننا نقول إنه حدث فيض overflow. وهذا صحيح سواءً كانت الأعداد ثنائية أو عشرية، وسواءً كانت مقيدة بإشارة أم لا. لا يسبب الفيض overflow مشكلة عند إجراء عملية الجمع باستخدام الورقة والقلم، نظراً لأنه لا توجد حدود لعرض الورقة لكتابة المجموع. إلاَّ أنه يسبب مشكلة في الحواسيب الرقمية نظراً لأن عدد الخانات التي يُحفظ فيها العدد محدود، ولأنه لا يمكن استيعاب النتيجة المؤلفة من $n + 1$ خانة. لهذا السبب، فإن حواسيب عديدة تكشف الفيض، وعند حدوثه يوضع set قلاب مخصص لهذه الغاية يمكن أن يفحصه المستخدم.

يعتمد الكشف عن الفيض overflow بعد جمع عددين اعتماداً على كون العددين مقيدين بإشارة أو غير مقيدين. فعند جمع عددين عير مقيدين بإشارة، يُكشف عن الفيض من وجود منقول أخير end carry out من الموضع الأكثر دلالةً. وفي حالة الأعداد المقيدة بإشارة، تمثل الخانة التي تشغل الموقع في أقصى اليسار دوماً الإشارة، وتكون الأعداد السالبة ممثلة بمتمماتها إلى 2. وعند جمع عددين مقيدين بإشارة، تُعامل خانة الإشارة معاملة باقي الخانات في الأعداد؛ أي إنها تُعامل كجزء من العدد، وبهذه الحالة لا يدل المنقول الأخير على الفيض.

لا يمكن حدوث فيض عند جمع عددين أحدهما موجب والآخر سالب بعد عملية الجمع، وذلك لأن النتيجة التي نحصل عليها عند إضافة عدد موجب إلى عدد سالب هي دوماً أصغر من العدد الأكبر من العددين الأصليين. يمكن أن يحدث الفيض عندما يكون العددان المضافان موجبين أو سالبين. لمعرفة كيفية حدوث ذلك، نأخذ المثال التالي: ليكن العددان الثنائيان المقيدان بإشارة 70+ و 80+، مخزنين في سجلين طول كل منهما 8 خانات. تقع الأعداد الثنائية التي يمكن استيعابها في كل سجل ضمن المجال 127+ و 128−. ولما كان مجموع

العددين المعطيين هو 150+، فهذا يعني أنه يتجاوز سعة السجل الذي عرضه 8 خانات، وهذا الأمر صحيح إذا كان كلا العددين أو كلاهما سالباً. ونبين فيما يلي عمليتي الجمع في الصيغة الثنائية مع المنقولين الأخيرين.

المناقيل:	0	1	المناقيل:	1	0
+70		0 1000110	−70		1 0111010
+80		0 1010000	−80		1 0110000
+150		1 0010110	−150		0 1101010

لاحظ أن خانة إشارة النتيجة المؤلفة من ثماني خانات 8-bit والتي يفترض أن تكون موجبة هي سالبة، وأن خانة إشارة النتيجة المؤلفة من ثماني خانات والتي يفترض أن تكون سالبة هي موجبة. مع ذلك، إذا أُخذ منقول الخرج carry out في موضع خانة الإشارة كخانة الإشارة للنتيجة، عندها يكون الجواب الذي نحصل عليه المؤلف من تسع خانات صحيحاً. ولما كان من غير الممكن استيعاب الجواب المؤلف من تسع خانات بثماني خانات، نقول إنه حدث فيضoverflow.

يمكن الكشف عن حالة الفيض بمراقبة المنقول إلى موضع خانة الإشارة، ومنقول الناتج عن موضع خانة الإشارة. يحدث الفيض إذا اختلف المنقولان. وقد أشرنا إلي ذلك في المثالين السابقين حيث ظهر المنقولان فيهما بوضوح. فإذا طُبق المنقولان على بوابة exclusive-OR، عندها يُستدل على وجود فيض عندما يكون خرج

البوابة 1. ولكي تعمل هذه الطريقة بشكل صحيح يجب حساب المتمم الثاني بأخذ المتمم الأول ثم إضافة 1. وهذا يأخذ بالحسبان الشرط عندما يكون العدد السالب الأعظمي متمماً.

يبين (الشكل 6–13) دارة الجامع–الطارح الثنائي بخرجين CوV. فإذا افترضنا العددين غير مقيدين بإشارة unsigned، عندئذ تكشف الخانة C عن منقول carry بعد الجمع أو عن مستعار borrow بعد الطرح. وإذا افترضنا أن العددين مقيدان بإشارة signed، عندئذ تكشف الخانة V عن الفيض. فإذا كانت $V = 0$ بعد عملية الجمع أو الطرح فهذا يدل على عدم حدوث فيض، وأنَّ النتيجة المكونة من n خانة صحيحة. أما إذا كانت الخانة $V = 1$، عندها تكون العملية مؤلفة من $n+1$ خانة، لكن الخانات n الموجودة في أقصى اليمين من العدد هي التي تلائم الفضاء المتاح فقط، وهذا يعني أن فيضاً overflow قد حدث.وتكون الخانة ذات المرتبة $(n + 1)$ هي الإشارة الفعلية وأنها قد أزيحت من مكانها.

6–9– الجامع العشري DECIMAL ADDER:

تُمثل الحواسيب computers أو الحاسبات calculators التي تنفذ العمليات الحسابية بنظام الأعداد العشرية مباشرة، الأرقام العشرية وفق الصيغة المرمزة ثنائياً

binary coded form. يجب في هذا النوع من الحواسيب أن يَستخدم الجامع دارات حساب تقبل الأعداد العشرية المرمزة وأن يعطي النتائج وفق الترميز ذاته. أما في الجمع الثنائي، فيكفي اعتبار زوج الخانات ذات الدلالة مع المنقول السابق. يتطلب الجامع العشري تسعة مداخل وخمسة مخارج على الأقل، لأن الرقم العشري يحتاج لأربع خانات لترميزه، ويجب أن تتضمن الدارة على دخل للمنقول من المرتبة السابقة وعلى خرج للمنقول إلى المرتبة التالية. توجد دارات عديدة متنوعة تحقق الجامع العشري، ويعتمد ذلك على الترميز المستخدم لتمثيل الأرقام العشرية. وسوف ندرس جامعاً عشرياً يستخدم الترميزBCD .

جامع العشري المرمز ثنائياً BCD Adder:

لنأخذ الجمع الحسابي لرقمين عشريين مرمزين وفق ترميز BCD مع منقول الدخل من المرحلة السابقة. لمّا كان كل من رقمي الدخل لا يزيد على 9، فلا يمكن للمجموع أن يتجاوز القيمة: 19 = 1 + 9 + 9 ، حيث يمثل الحد 1 في الطرف الأيسر منقول الدخل. لنفترض أننا طبقنا رقمين وفق الترميز BCD على مداخل جامع لأربع خانات ثنائية، فسيعطي نتيجة بالثنائي تقع بين 0 و 19. يبين (الجدول 6–5) نتائج الجمع بالصيغة الثنائية التي يمكن مشاهدتها على مخارج الجامع والمعرفة بالرموز Z_1، Z_2، Z_4 ، Z_8، K. ترمزKإلى المنقول للمرحلة الأخيرة، والأرقام المقترنة بالحرف Zالأوزان 1 ،2 ،4 ،8 التي يمكن إسنادها إلى الخانات الأربعة في الترميز BCD. تمثل الأعمدة تحت المجموع الثنائي binary sum القيم الثنائية التي تظهر على مخارج الجامع الثنائي لأربع خانات، على حين يجب أن يُمثل ناتج جمع رقمين عشريين بالترميز BCD. ويجب أن تكون وفق الشكل المبين في الأعمدة تحت المجموع وفق الترميز BCD (BCD sum).

تبقى المشكلة هي إيجاد قاعدة يمكن تطبيقها لتحويل المجموع الثنائي إلى العدد المكافئ وفق الترميز BCD.

بفحص محتويات الجدول نتبين وجود تطابق بين الترميز الثنائي وترميز BCD الموافق عندما يكون المجموع أصغر أو يساوي 1001، وبهذه الحالة لا توجد حاجة لإجراء تحويل. لكن عندما يكون المجموع الثنائي أكبر من 1001، فإننا نحصل على تمثيل مختلف ليس ترميزاً مقبولاً في ترميز BCD. إن إضافة القيمة الثنائية (0110) إلى المجموع الثنائي تحوّله إلى تمثيل صحيح وفق الترميز BCD وتولد منقول الخرج المطلوب.

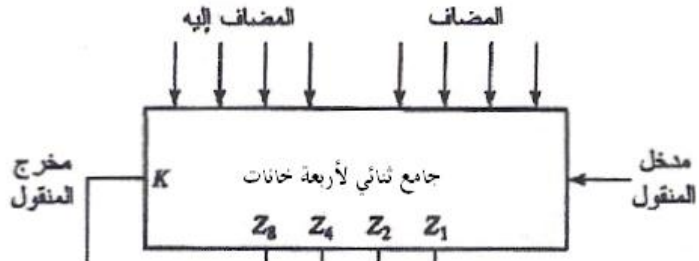
يمكن استنتاج الدارة المنطقية التي تكشف عن التصحيح الضروري من دخلات الجدول. واضح أنه يجب إجراء تصحيح عندما يكون للمجموع الثنائي منقول $K=1$. وكذلك فيما يتعلق بالتراكيب الستة الأخرى من 1010 ولغاية 1111. وفيها نلاحظ أن الخانة $Z_8 = 1$. ولتمييزها عن التركيبتين 1000 و 1001 اللتين فيهما $Z_8 = 1$، نحدد إضافة إلى ذلك أنه يجب أن يكون Z_4 أو Z_2 أيضاً مساوياً 1. وعليه نعبر عن شرط التصحيح ومنقول الخرج output carry بواسطة التابع البولياني

$$C = K + Z_8 Z_4 + Z_8 Z_2$$

مجموع الثنائي					مجموع BCD					عشري
K	Z_8	Z_4	Z_2	Z_1	C	S_8	S_4	S_2	S_1	
0	0	0	0	0	0	0	0	0	0	0

0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	2
0	0	0	1	1	0	0	0	1	1	3
0	0	1	0	0	0	0	1	0	0	4
0	0	1	0	1	0	0	1	0	1	5
0	0	1	1	0	0	0	1	1	0	6
0	0	1	1	1	0	0	1	1	1	7
0	1	0	0	0	0	1	0	0	0	8
0	1	0	0	1	0	1	0	0	1	9
0	1	0	1	0	1	0	0	0	0	10
0	1	0	1	1	1	0	0	0	1	11
0	1	1	0	0	1	0	0	1	0	12
0	1	1	0	1	1	0	0	1	1	13
0	1	1	1	0	1	0	1	0	0	14
0	1	1	1	1	1	0	1	0	1	15
1	0	0	0	0	1	0	1	1	0	16
1	0	0	0	1	1	0	1	1	1	17
1	0	0	1	0	1	1	0	0	0	18
1	0	0	1	1	1	1	0	0	1	19

الجدول 6-5
استخراج جامعBCD



الشكل 6- 14

مخطط صندوقي لجامعBCD

عندما يكون $C = 1$، يجب إضافة 0110 إلى المجموع الثنائي وتوفير منقول خرج إلى المرحلة التالية.

يبين (الشكل 6–14) جامع BCD يجمع رقمين عشريين مرمزين وفق ترميز BCD ويعطي رقم مجموع بصيغة الترميز BCD. يجمع الرقمان العشريان المرمزان وفق الترميز BCD إضافةً إلى منقول الدخل من المرتبة السابقة أولاً في جامع لأربع خانات يُنتج الجامع العلوي المجموع الثنائي. فعندما يكون منقول الخرج صفراً لا يُضاف أي شيء إلى المجموع الثنائي، على حين تضاف القيمة الثنائية 0110 في الجامع السفلي إلى المجموع الثنائي عندما يكون المنقول 1. يُهمل منقول الخرج الذي يولده الجامع السفلي. نحتاج لجمع عددين عشريين يتألف كل منهما من n رقماً عشرياً إلى جامع عشري متوازٍ يتألف من n مرحلة جمع BCD، يجب وصل منقول الخرج الناتج عن كل مرحلة إلى منقول الدخل في المرحلة الأعلى مباشرة.

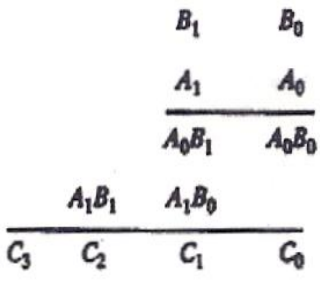
6–10– الضارب الثنائي BINARY MULTIPLIER:

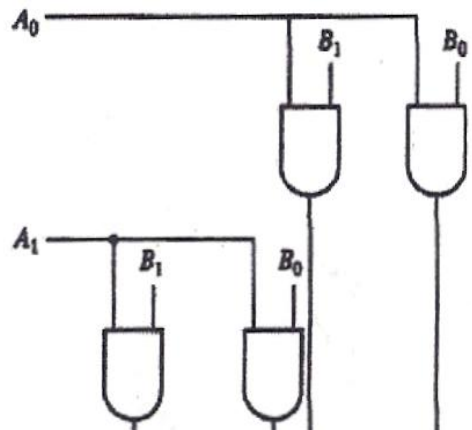
تنفذ عملية ضرب الأعداد الثنائية بنفس الطريقة المتبعة في ضرب الأعداد العشرية. يُضرب المضروب multiplicand بكل خانة من خانات الضارب multiplier بدءاً من الخانة الأقل دلالةً. تكوّن عملية الضرب بكل خانة من خانات العدد الضارب ناتج ضرب جزئي partialproduct. تُزاح نواتج الجداء الجزئية المتوالية موضعاً واحداً إلى اليسار. ونحصل على ناتج الجداء النهائي بجمع نواتج الجداء الجزئية.

لمعرفة الكيفية التي يمكن معها تحقيق عملية الضرب الثنائي بواسطة دارات تركيبية، ندرس عملية ضرب عددين يتألف كل منهما من خانتين كما هو موضح في (الشكل 6–15). نشير إلى خانات المضروب بـ B_1 و B_0. وخانات الضارب بـ A_1 و A_0 ولناتج الضرب بـ $C_3C_2C_1C_0$. يتكون ناتج الجداء الجزئي الأول

بضرب العدد B_1B_0 بالخانة A_0 . تكون نتيجة ضرب خانتين ثنائيتين أحدهما بالآخر مثل A_0 و B_0 هي القيمة 1 إذا كانت قيمة كل خانة من الخانتين 1، وفيما عدا ذلك 0. وهذا مطابق للعملية المنطقية AND ولهذا يمكن تحقيق الجداء الجزئي باستخدام بوابات AND. ويتكون الناتج الجزئي الثاني بضرب B_1B_0 بـ A_1وإزاحته موضعاً واحداً إلى اليسار. يُجمع الجداءان الجزئيان بوساطة دارتي نصف جامع (HA). يكون عادةً عدد الخانات في الجداءات الجزئية أكثر من اثنين، لذا يكون من الضروري استخدام جوامع كاملة لإنتاج مجموع الجداءات الجزئية. لاحظ أنه ليس من الضروري أن تمر الخانات ذات الدلالة الأدنى من الجداء عبر جامع نظراً لأنها ناتجة عن البوابة AND الأولى.

يمكننا بطريقة مشابهة بناء دارة ضارب ثنائي تركيبية لضرب أعداد يزيد عدد خاناتها عن خانتين. تنفذ على كل خانة من خانات العدد الضارب multiplier عملية AND مع كل خانة من خانات العدد المضروب multiplicand فيتكون لدينا عدد من المستويات يساوي عدد خانات الضارب. يُجمع الخرج الثنائي في كل مستوى من مستويات الـ AND مع الجداء الجزئي للمستوى السابق لتكوين جداء جزئي جديد. ويُنتج المستوى الأخير الجداء. فإذا كان J عدد خانات الضارب و K عدد خانات المضروب فإننا نحتاج إلى $(J \times K)$ بوابة AND وإلى $(J-1)$ جامعاً عرض كل منها K خانة لإنتاج جداء مؤلف من $J+K$ *خانة.*

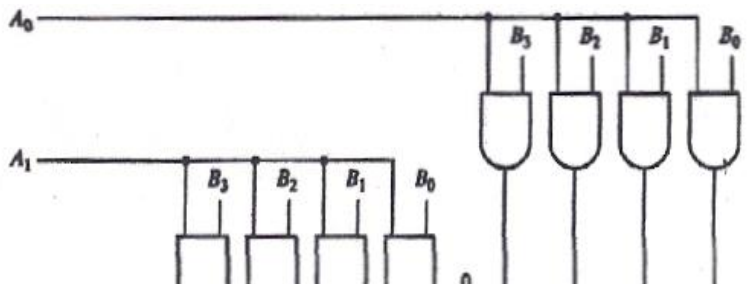




الشكل(6-15)

ضارب ثنائي لخانتين ثنائيتين بخانتين ثنائيتين

<u>مثال آخر</u>: لنأخذ دارة ضارب يقوم بضرب عدد ثنائي مؤلف من أربع خانات بعدد ثنائي آخر مؤلف من ثلاث خانات. وليكن العدد المضروب $B = B_3\ B_2\ B_1\ B_0$ والعدد الضارب $A = A_2\ A_1\ A_0$. لما كان $K = 4$ و $J = 3$، فإننا نحتاج إلى 12 بوابة AND وجامعين كل منهما لأربع خانات لإنتاج جداء مؤلف من سبع خانات. يبين (الشكل 6 – 16) المخطط المنطقي للضارب.



الشكل(6- 16)

ضارب ثنائي لضرب أربعة خانات بثلاثة خانات

6-11- مقارن المقدار MAGNITUDE COMPARATOR:

تعني مقارنة عددين العملية التي تحدد كون أحد العددين أكبر من ، أو أصغر من ، أو يساوي العدد الآخر . أما مقارن المقدار magnitude comparato فهو دارة تركيبية تقارن بين عددين ، A و B ، وتحدد مقداريهما النسبيين . تحدَّد نتيجة المقارنة بثلاثة متحولات ثنائية تدل على كون A>B أو A=B أو A<B .

يوجد في دارة مقارنة عددان يتألف كل منهما من n خانة و 2^{2n} دخلاً في جدول الحقيقة. لذا يصبح جدول الحقيقة مربكاً حتى مع n=3. لكن من جهة أخرى ، كما يظن المرء ، تمتلك دارة المقارن نوعاً من الانتظام. ويمكن عادةً تصميم التوابع الرقمية التي تمتلك انتظامية معروفة جيداً بواسطة إجرائية تعتمد على خوارزمية.

فالخوارزمية Algorithm هي الإجرائية التي تعرف مجموعة محدودة من الخطوات، تُعطي باتباعها حلاً للمسألة. وسوف نوضح هذه الطريقة باستنتاج خوارزمية لتصميم مقارن لمقارنة عددين ثنائيين يتألف كل منهما من أربع خانات. الخوارزمية هي تطبيق مباشر للإجرائية التي يتبعها المرء عند مقارنة عددين.

لنأخذ العددين A و B اللذين يتألف كل منهما من أربع خانات. نكتب هذين العددين وفق الترتيب المتناقص للأوزان فنحصل على:

$A=A_3A_2A_1A_0$

$B= B_3B_2B_1B_0$

يمثل دليل كل حرف رقماً من أرقام ذلك العدد. يتساوى العددان A و B إذا تساوت جميع أزواج الأرقام التي تشغل نفس المواضع، أي عندما يكون: $A_0=B_0$، $A_1=B_1$، $A_2= B_2$، $A_3=B_3$.وعندما تكون الأعداد ثنائية تكون الأرقام إما 0 أو 1، و يمكن التعبير عن علاقة المساواة منطقياً بواسطة تابع exclusive-NOR كما يلي :

$X\,i = AiBi + \bar{A}i\bar{B}i$ في حالة $i = 0,1,2,3$

حيث تكون $x\,i =$ 1إذا تساوى زوج الخانات (الأرقام) الذي يشغل الموقع i فقط (أي إذا كان $Ai = Bi = 1$ أو $Ai = Bi = 0$) .

يُشار إلى المساواة بين عددين ثنائيين A و B في دارة المقارن التركيبية بتخصيص خرج لهذا الغرض نُشير إليه بالرمز (A=B). و يساوي هذا المتحول 1

عندما يتساوى العددان A و B المطبقان على المداخل، ويساوي 0 فيما عدا ذلك. ولكي يتحقق شرط المساواة يجب أن تكون جميع المتحولات i xمسوية 1. وهذا الشرط يملي عملية AND بين جميع المتحولات :

$(A = B) = x_3x_2x_1x_0$

يكون المتحول الثنائي (A= B) = 1 إذا تساوت أرقام جميع الأزواج التي تشغل نفس المواضع في العددين فقط . و لتحديد كون A>B أو A<B، نفحص أزواج الأرقام التي تشغل نفس المواقع بدءاً من الموقع الأكثر دلالة فإذا تساوت هذه الأرقام في المواقع ننتقل لمقارنة الأرقام في الموقع الأدنى دلالة مباشرة، وهكذا تستمر عملية المقارنة هذه إلى أن نصادف زوجاً من الأرقام لا يحقق المساواة، و يكون A>B إذا كان $A\ i = 1$ و $B\ i = 0$، أما إذا كان $A\ i = 0$ و $B\ i = 1$ فهذا بالضرورة يعني أن A<B. يمكن التعبير عن المقارنات المتتالية منطقياً بالتابعين البوليانيين التاليين :

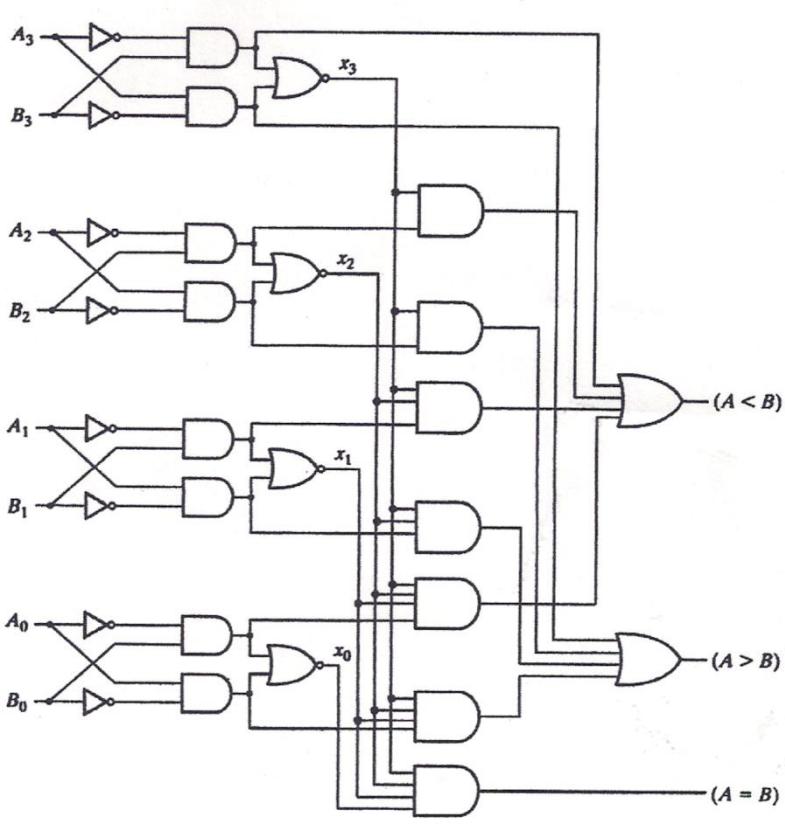
(A>B)= $A3\bar{B}3 + x3A2\bar{B}\,2 + x3x2A1\bar{B}1 + x3x2x1A0\bar{B}0$

(A<B)= $\bar{A}3B3 + x3\bar{A}2B2 + x3x2\bar{A}1B1 + x3x2x1\bar{A}0B0$

يمثل الرمزان (A>B) و (A<B) متحولي خرج ثنائيين يساويان 1 عندما يكون A>B أو A<B على التوالي (الخرج الذي يساوي 1 هو الذي يعبر عن نتيجة المقارنة) .

إن تحقيق متحولات الخرج الثلاثة، التي حصلنا عليها للتو، بواسطة البوابات هي أبسط مما يبدو عليه الحال، نظراً لاحتوائها على قدر من التكرار. يمكن لمخارج عدم المساواة استخدام البوابات ذاتها لتوليد خرج المساواة. يبين (الشكل 17 -6) المخطط المنطقي لمقارن مقدار من طول 4 خانات. و قد وُلِّدت فيه مخارج x الأربعة بواسطة دارات exclusive-NOR جُمعت جميعها ببوابة AND لتعطي

في خرجها متحول الخرج الثنائي (A=B) الذي يعبر عن المساواة. يستخدم الخرجان الآخران المتحولات x في توليد التوابع البوليانية المذكورة سابقاً أي (A>B و A<B). واضح من المخطط المنطقي للدارة أن البنية المستخدمة في تحقيقه هي بنية متعددة المستويات تتألف من مقاطع منتظمة. وبذلك فإن الإجرائية المتبعة للحصول على دارات مقارن مقدار لمقارنة أعداد ثنائية يزيد عدد خاناتها الثنائية عن أربع خانات تصبح واضحة من هذا المثال.



الشكل(6- 17)

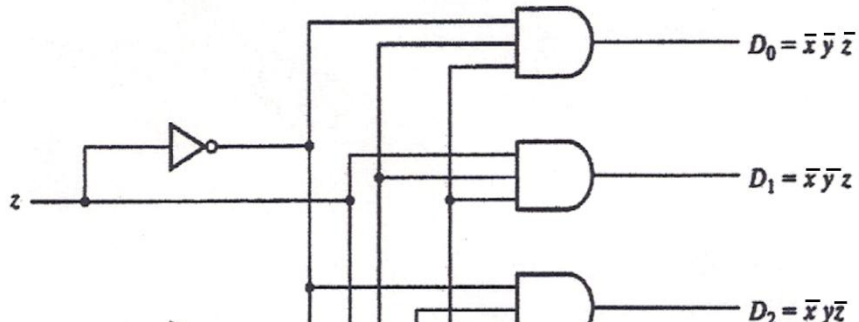
مقارن مقدار لأربعة خانات

6-12- مفككات الترميز DECODERS :

تُمثِّل المقادير المتقطعة في النظم الرقمية بتراميز ثنائية. يستطيع ترميز ثنائي ذو n خانة ترميز 2^n عنصراً متميزاً من المعلومات المرمزة. مفكك الترميز decoder هو دارة تركيبية تحول المعلومات الثنائية من n خطاً من خطوط الدخل إلى خط متميز واحد من أصل 2^n خطاً من خطوط الخرج. و في حال عدم استخدام جميع تراكيب الدخل الممكنة، فإنه يمكن أن يكون لمفكك الترميز عدد من المخارج أقل من 2^n.

تسمى مفككات الترميز المقدمة هنا، مفككات الترميز من n إلى m خطاً حيث $m \leq 2^n$، وتهدف إلى توليد 2^n (أو أقل) حداً أصغرياً، من n متحول دخل. و يستخدم اسم: مفكك الترميز أيضاً في مبدلات الترميز code converters مثل مفكك ترميزالعشريالمرمز ثنائياً BC إلى سبع قطع Seven Segments .

وكمثال على ذلك، لنأخذ دارة مفكك الترميز 3 إلى 8 المبينة في الشكل (6-18)، وفيها تُفَكَك المداخل الثلاثة إلى ثمانية مخارج، يمثل كل منها حداً أصغرياً يمكن تشكيله من متحولات الدخل الثلاثة. توفر العواكس الثلاثة متممات متحولات الدخل الثلاثة، وتولد كل بوابة من البوابات AND الثمانية واحداً من الحدود الأصغرية. أحد التطبيقات الخاصة لهذا المفكك هي التبديل من النظام الثنائي إلى النظام الثماني octal. تمثل متحولات الدخل عدداً ثنائياً، و يمثل الخرج الأرقام الثمانية في نظام العد الثماني. من ناحية أخرى، يمكن استخدام مفكك الترميز 3 إلى 8 خطوط لفك ترميز أي مرمِّز مؤلف من 3 خانات ليعطي ثمانية مخارج .



الشكل (6- 18)

مفكك ترميز 3 إلى 8 خطوط

يمكن توضيح طريقة عمل مفكك الترميز بواسطة (جدول الحقيقة 6–6). فلكل تركيب من تراكيب الدخل الممكنة، توجد سبعة مخارج قيمتها تساوي 0 وخرج واحد فقط قيمته تساوي 1. يمثل الخرج الذي تساوي قيمته 1 الحد الأصغري المكافئ للعدد الثنائي المتوفر حالياً على خطوط الدخل .

مداخل			مخارج							
x	Y	z	D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

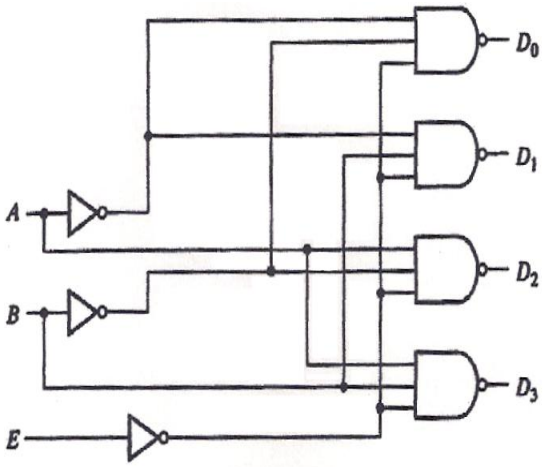
الجدول(6-6)

جدول الحقيقة لمفكك ترميز 3 إلى 8 خطوط

تُبنى بعض مفككات الترميز بواسطة بوابات NAND. ولما كانت البوابة NAND تنتج عملية AND متبوعة بعاكس (خرجها معكوس)، فمن الأجدى اقتصادياً توليد متمم الحدود الأصغرية. زد على ذلك، أن مفككات الترميز تتضمن دخل تأهيل enable input أو أكثر للتحكم بعمل الدارة. و يبين الشكل (6–19) مفكك

ترميز 2 إلى 4 ببوابات NAND مجهزاً بدخل تأهيل. تعمل الدارة بمخارج متممة ودخل تأهيل متمَّم. يكون مفكك الترميز مؤهلاً عندما يكون دخل التأهيل E=0. و كما هو ظاهر من جدول الحقيقة، يكون في كل لحظة من الزمن خرج واحد فقط قيمته تساوي 0، على حين تكون باقي المخارج مساوية للواحد. يمثّل الخرج الذي قيمته 0 الحد الأصغري المنتخب بواسطة الدخلين A و B و تكون الدارة غير مؤهلة disabled عندما يكون دخل التأهيل E=1، بغض النظر عن قيم الدخلين الآخرين. فعندما تكون الدارة غير مؤهلة، لا يكون أي من المخارج 0 (جميع المخارج واحدات1، s) ولا يُنتقى أي من الحدود الأصغرية. يمكن عموماً لمفكك الترميز أن يعمل بمخارج متممة أو بمخارج غير متممة. و يمكن تفعيل دخل التأهيل بإشارة 0 أو 1. ويمكن أن يكون لبعض مفككات الترميز دخلان أو أكثر من مداخل التأهيل التي يجب أن تحقق مجتمعة شرطاً منطقياً معيناً لتأهيل الدارة..يمكن أن يعمل مفكك الترميز المجهز بدخل للتأهيل

موزعاًdemultiplexer.والموزع هو دارة تستقبل المعلومات من خط وحيد و توجهها إلى خط خرج واحد من بين 2^n خطاً ممكناً. أما التحكم بعملية اختيار خط خرج محدد فيكون بواسطة تركيبة أرقام مداخل الانتخاب، و يمكن لمفكك الترميز المبين في الشكل (19–4) أن يعمل موزعاً 1 إلى 4 خطوط وذلك في حال اعتبار E خط دخل للمعطيات و A و B مداخل انتخاب. ويمكن إثبات ذلك من جدول الحقيقة للدارة. فمثلاً، إذا كانت قيمة مداخل الانتخاب AB=10، فإن الخرج D_2 سيكون له نفس قيمة الدخل E، على حين تحافظ جميع المخارج الاخرى على 1. و لما كان بإمكاننا الحصول على عمل كل من مفكك الترميز و الموزع من نفس الدارة، فيمكن الإشارة إلى مفكك الترميز المجهز بدخل للتأهيل على أنه مفكك ترميز/ موزع /demultiplexerdecoder .



(أ) المخطط المنطقي

E	A	B	D_0	D_1	D_2	D_3
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

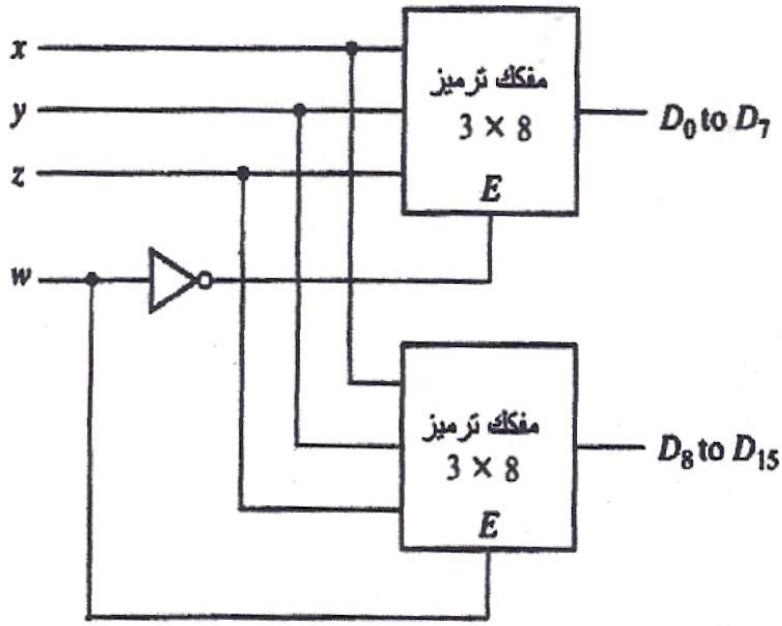
(ب) جدول الحقيقة

الشكل(6 -19)

مفكك ترميز 2 إلى 4 خطوط مع دخل تأهيل

يمكن وصل مفككات الترميز المجهزة بمداخل للتأهيل بعضها ببعض لتكوين دارة مفكك ترميز أكبر. يبين الشكل (6– 20) مفككي ترميز 3 إلى 8 خطوط مجهزين بمداخل للتأهيل موصولين أحدهما بالآخر لتكوين مفكك ترميز 4 إلى 16 خطاً. فعندما يكون w=0، يكون مفكك الترميز العلوي مؤهلاً والآخر (السفلي) غير مؤهل. و تكون جميع مخارج مفكك الترميز السفلي أصفاراً، على حين تولد المخارج الثمانية العلوية الحدود الأصغرية من 0000 إلى 0111. وعندما يكون w=1، تنعكس شروط التأهيل، وتولد مخارج مفكك الترميز السفلي الحدود الأصغرية من 1000 إلى 1111، و تكون جميع مخارج مفكك الترميز العلوي أصفاراً. يوضح هذا المثال فائدة مداخل التأهيل في مفككات الترميز و المكونات

التركيبية الأخرى. تعتبر مداخل التأهيل عموماً ميزة مناسبة للوصل بين مكونين أو أكثر من المكونات القياسية بهدف توسيع المكون ليؤدي عملاً مماثلاً إنما بعدد مداخل و مخارج أكبر.



الشكل(6- 20)

مفكك ترميز 4 إلى 16 من مفككي ترميز 3 إلى 8

6-13 -المرمزات: ENCODERS

المرمز encoder هو دارة رقمية تؤدي عكس عمل مفكك الترميز. أي يوجد للمرمز 2^nخط دخل (أو أقل) وله n خط خرج. تولد خطوط الخرج الترميز الثنائي

binary code الموافق لقيمة الدخل. مثال المرمز هو : المرمز الثماني – إلى – ثناثي octal-to-binary encoder الذي أُعطي جدول الحقيقة له في الجدول (6–7). يوجد لهذا المرمز ثمانية مداخل (دخل لكل رقم من أرقام نظام العد الثماني) و ثلاثة مخارج تولد العدد الثنائي الموافق. يفترض أنه في أية لحظة تكون قيمة دخل واحد فقط مساوية 1.

يمكن تحقيق المرمز باستخدام بوابات OR الذي تُحدَّد مداخله مباشرة من جدول الحقيقة. يكون الخرج z=1عندما يكون الدخل الثماني هو أحد الأرقام التالية: 1 أو 3 أو 5 أو 7، و يكون الخرج y=1 لأي من الأرقام الثمانية 2 أو 4 أو 6 أو 7، ويكون الخرج x=1 لأي من الأرقام الثمانية 4 أو 5 أو 6 أو 7. يمكن التعبير عن هذه الشروط بتوابع الخرج البوليانية التالية:

$z=D_1+D_3+D_5+D_7$

$y = D_2+D_3+D_6+D_7$

$x =D_4+D_5+D_6+D_7$

يمكن تحقيق المرمز بواسطة ثلاث بوابات OR.

يخضع جدول المرمز المعرَّف بالجدول (6–7) إلى قيود، وهي أنه في أية لحظة يمكن تفعيل دخل واحد فقط.

مخارج	مداخل

D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7	x	y	z
1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	1	0	0
0	0	0	0	0	1	0	0	1	0	1
0	0	0	0	0	0	1	0	1	1	0
0	0	0	0	0	0	0	1	1	1	1

فإذا كان دخلان مفعلان في آن معاً، فإن الخرج يُنتج تركيباً غير معرَّف undefined combination . مثلاً، إذا كان الدخلان D_3 و D_6 يساويان 1 معاً، عندها سيكون خرج المرمز هو 111 نظراً لأن المخارج الثلاثة جميعها تساوي 1. وهذا لا يمثل لا القيمة الثنائية 3 ولا القيمة 6. للتخلص من هذا الغموض، يجب تحديدسلم أفضليات للدخل input priority في داراتالمرمزات. فإذا أعطينا الأفضلية العليا higher priority للمداخل ذات الأدلة الكبرى، عندها، إذا كان كل من الدخلين D_3 و D_6 هو 1 في نفس الوقت، يكون الخرج 110 وذلك لأن أفضلية الدخل D_6 أعلى من تلك التي للدخل D_3.

يبقى هناك غموض آخر في المرمز الثماني إلى الثنائي و هو أننا نحصل في خرج المرمز على القيمة 000 عندما تكون جميع مداخله أصفاراً، ويكون هذا

الجدول(6-7)

جدول الحقيقة لمرمز ثماني إلى ثنائي

الخرج هو ذاته عندما يكون الدخل D_0 =1. يمكن حل هذا التعارض بتوفير خرج إضافي يشير إلى وجود دخل واحد على الأقل يساوي 1.

6-14- مرمز الأفضلية encoder priority

مرمز الأفضلية هو دارة مرمز encoder تتضمن تابع الأفضلية. يعمل مرمز الأفضلية بحيث إذا كانت قيمة اثنين أو أكثر من مداخله تساوي 1 في آن معاً سيتقدم عندها الدخل ذو الأفضلية العليا على المداخل الأخرى . يبين الجدول (6-8) جدول الحقيقة لمرمز ذي أفضلية له أربعة مداخل. يوجد للدارة إضافة إلى الخرجين x، yخرج ثالث v يمثل خانة مؤشر الصلاحية valid bit indicator الذي يأخذ قيمة 1 عندما تكون قيمة دخل أو أكثر من مداخل المرمز تساوي 1. إذا كانت جميع مداخل المرمز أصفاراً عندها يكون الدخل غير مقبول و يكون v=0. لا يُفحص الخرجان الآخران عندما يكون v=0 و يوصفان بحالات عدم اكتراث، يفيد استخدام عدم الاكتراث X، s في أعمدة الدخل في تمثيل جدول الحقيقة بإيجاز. فبدلاً من تضمينه جميع الحدود الأصغرية البالغة 16 حداً أصغرياً لأربعة متحولات دخل، يستخدم جدول الحقيقة X لتمثيل الصفر أو الواحد على حد سواء. مثلاً، تمثل التركيبة X100 الحدين الأصغريين 0100 و 1100.

ووفقاً للجدول (6-8)، ترتفع درجة الأفضلية للدخل كلما ازدادت قيمة دليله. فالدخل D3 مثلاً هو الدخل ذو الأفضلية العليا (له أعلى درجات الأفضلية)، وهكذا، وبغض النظر عن قيمة المداخل الاخرى عندما تكون قيمة هذا الدخل 1 يكون خرج المرمز xy=11 (القيمة الثنائية لـ 3) ويأتي الدخل D2 في المستوى الثاني (المرتبة الثانية) في سلم الأفضليات، و يكون الخرج xy=10 عندما يكون

الدخل D2=1 شريطة أن يكون D3=0، بغض النظر عن قيمة الدخلين الآخرين نظراً لأن درجة أفضليتهما أدنى. يتم توليد الخرج الموافق للدخل D1=1 فقط إذا كانت قيمة المداخل ذات الأفضليات العليا أصفاراً، وهكذا فيما يتعلق بمستويات الأفضلية الدنيا.

مداخل				مخارج		
D0	**D1**	**D2**	**D3**	**x**	**y**	**v**
0	0	0	0	x	x	0
1	0	0	0	0	0	1
x	1	0	0	0	1	1
x	x	1	0	1	0	1
x	x	x	1	1	1	1

الجدول(6- 8)

جدول الحقيقة لمرمز أفضلية

يبين الشكل (6–21) مخططات التبسيط للخرجين x و y و قد استُنتجت الحدود الأصغرية للتابعين من الجدول (6–8).

و على الرغم من أن الجدول فيه خمسة أسطر، فعندما تُبدل كل X أولاً بـ 0 ثم بـ 1، نحصل على جميع تراكيب الدخل الستة عشر 16 الممكنة. مثلاً يمثل السطر

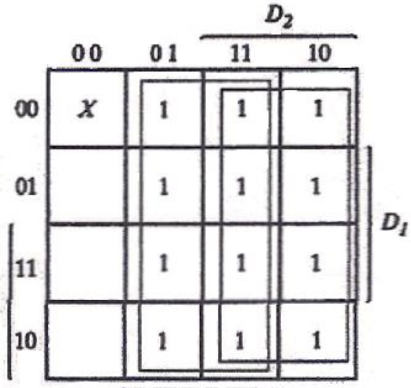
الرابع XX10 في جدول الحقيقة الحدود الأصغرية الأربعة التالية : 0010 و0110 و 1010 و 1110 .

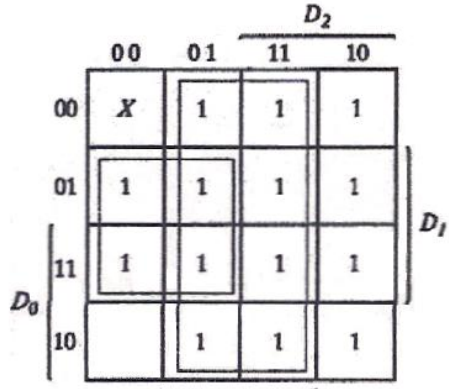
حصلنا على التعابير البوليانية المبسطة لمرمز الأفضلية من المخططات .

أما شرط الخرج V فهو تابع OR لجميع متحولات الدخل.

يبين الشكل (6– 22) دارة مرمز ذي أفضلية يتحقق بالتوابع البوليانية التالية :

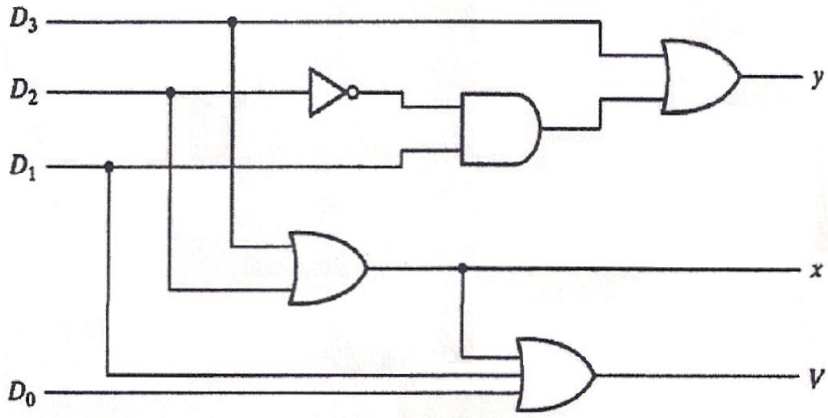
$$X = D_2 + D_3$$
$$Y = D_3 + D_1 \overline{D}_2$$
$$V = D_0 + D_1 + D_2 + D_3$$





الشكل(6-21)

مخطط لمرمز الأفضلية



الشكل(6- 22)

مرمز أفضلية بأربعة مداخل

6-15- المجمعات MULTIPLEXERS :

المجمع هو دارة تركيبية تنتقي المعلومات الثنائية من خط واحد من بين عدة خطوط دخل و توجهها إلى خط خرج وحيد. يجري التحكم بعملية اختيار خط دخل معين بواسطة مجموعة من خطوط انتخاب يوجد عادة 2^n خط دخل و nخط انتخاب، حيث يحدِّد تركيب الخانات عليها خط الدخل المنتخب.

يصل المجمع 2 إلى 1 أحد خطين كل منهما أحادي الخانة إلى وجهة مشتركة كما هو مبين في الشكل (6– 23). يوجد للدارة خطا دخل للمعطيات، وخط خرج وحيد، وخط انتخاب وحيد S. فعندما يكون S=0، تكون البوابة AND العلوية مؤهلة، ويكون للدخلI_0 منفذ إلى الخرج. وعندما يكون S=1، تكون البوابة AND السفلية هي المؤهلة، ويكون للدخل I_1 منفذ إلى الخرج. يعمل المجمع كمفتاح الكتروني ينتخب واحداً من منبعين. ويبين الشكل (6– 23) المخطط الصندوقي الذي يستخدم أحياناً في تمثيل المجمع رسومياً. ويوضح كيف يوجَّه المنبع المنتخب من بين مجموعة منابع المعطيات إلى وجهة وحيدة. يُشار غالباً إلى المجمع في المخططات الصندوقية بـ MUX.

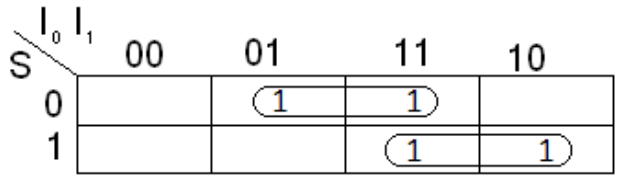
ويتم تصميم هذا المجمع كما يلي نكتب جدول الحقيقة المبين بالجدول (6– 9) ثم نكتب منه جدول كارنو المبين ونستنتج منه المعادلة لخرج هذا المجمع:

S	I_1	I_0	Y
0	0	0	0
0	0	1	1

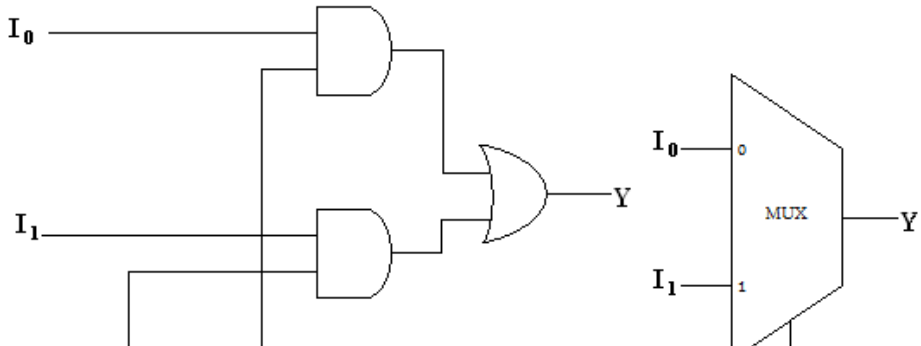
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

الجدول(6- 9)

جدول الحقيقة للمجمع2 إلى 1

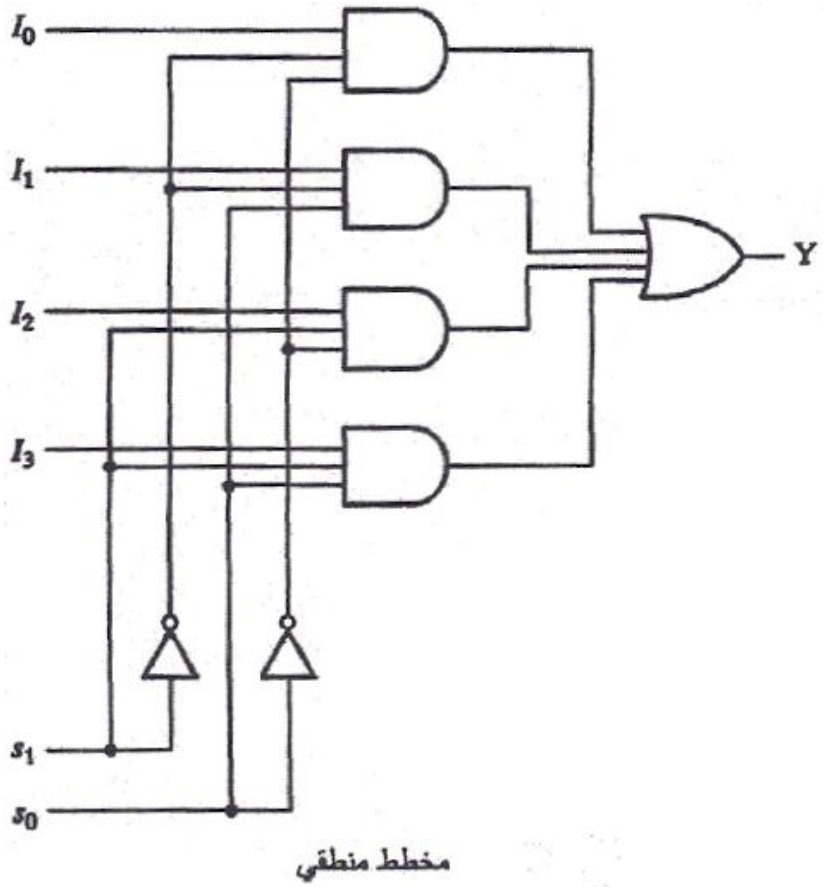


$$Y=\overline{S}\ I_0 + S\ I_1$$



الشكل 6- 23

يبين الشكل (6– 24) مجمعاً بحجم 4 إلى 1 خط. يُوصل كل خط من خطوط المداخل الأربعة (I_0 حتى I_3) إلى أحد مداخل بوابة AND. يفكَّك ترميز دخلي الانتخاب S_1،S_0 لانتقاء بوابة AND محددة. وتُجمع مخارج بوابات الـ AND في بوابة OR واحدة لتنتج خط خرج وحيد. يبين الجدول الوظيفي function table المبين بالجدول (6–10) الدخل الذي يُمرر إلى الخرج لكل تركيب من التراكيب الثنائية لمداخل الانتخاب. لتوضيح عمل الدارة، نأخذ الحالة التي يكون فيها $S_1S_0 = 10$. عندها تكون قيمة دخلين من مداخل البوابة AND المرتبطة بالدخل I_2واحدات 1's ويكون دخلها الثالث موصولاً إلى I_2، وتكون قيمة دخل واحد على الأقل من مداخل كل بوابة من بوابات AND الثلاث المتبقية 0 التي يجعل مخارجها تساوي 0. ويصبح خرج البوابة OR مساوياً قيمة I_2، موفراً ممراً من الدخل المنتخب إلى الخرج. يُطلق على المجمع Multiplexer أيضاً اسم ناخب معطيات Data selector نظراً لأنه ينتخب (ينتقي) واحداً من جملة مداخل و يوجه المعلومات الثنائية إلى خط الخرج.



الشكل(6- 24)

المخطط المنطقي مجمع4 إلى 1

S1	S0	y
0	0	I_0
0	1	I_1

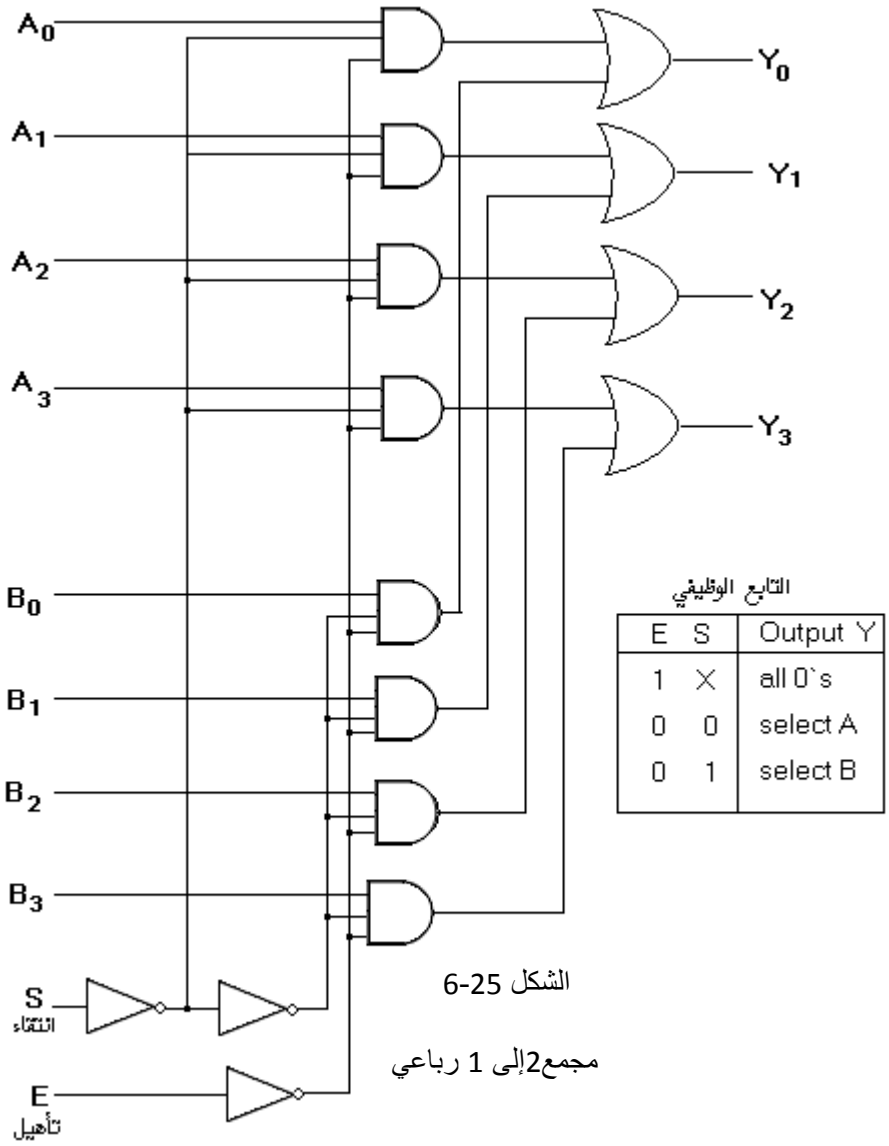
1	0	I_2
1	1	I_3

الجدول(6- 10)

الجدول الوظيفي للمجمع4 إلى 1

تشبه تركيبة البوابات AND و العواكس في دارة المجمع دارة مفكك الترميز، و تفكّك ترميز مداخل الانتخاب يُبنى عموماً المجمع بحجم 2^n إلى 1 خط من مفكك ترميز n إلى2^n خطاً بعد إضافة 2^n دخل معطيات إليه، أي بمعدل دخل معطيات واحد لكل بوابة AND. تُجمَع مخارج البوابات AND جميعها في بوابة OR واحدة يكوّن خرجها خرج المجمع. يتعين حجم المجمع من العدد 2^nالذي يمثل عدد خطوط المعطيات فيه وبخط الخرج الوحيد. و يستنتج عدد خطوط الانتخاب n من عدد خطوط المعطيات 2^n. وكما هو الحال في مفكك الترميز، يمكن أن يكون للمجمع خط تأهيل للتحكم في عمل الوحدة. فعندما يكون دخل التأهيل في الحالة غير الفعالة، يكون الجمع غير مؤهل، وتكون المخارج غير مؤهلة، على حين تعمل الدارة كمجمع عادي فقط عندما يكون المجمع مؤهلاً، أي عندما يكون دخل التأهيل في حالته الفعالة.

يمكن تجميع عدد من دارات المجمع (عدد من المجمعات) في رقاقة واحدة تكون جميع خطوط الانتخاب فيها مشتركة. و كتوضيح لذلك، يبين الشكل (6- 25) أربعة مجمعات 2 إلى 1 خط، يمكن لكل منها انتقاء خط واحد من خطي الدخل.



التابع الوظيفي

E	S	Output Y
1	X	all 0`s
0	0	select A
0	1	select B

الشكل 25-6

مجمع2إلى 1 رباعي

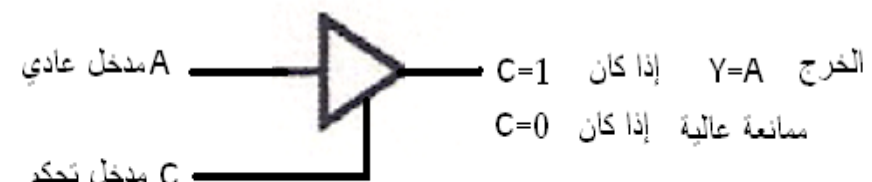
6-16- البوابات ثلاثية الحالة Three-state gatets :

هي دارة منطقية لها ثلاث حالات اثنتان منها منطقيتان هما الصفر و الواحد كما في البوابات التقليدية أما الحالة الثالثة فهي الحالة التي تكون فيها ممانعة الخرج عالية جداً High impedance تسلك حالة الممانعة العالية سلوك الدارة المفتوحة open circuit التي تعني أن الخرج يبدو أنه مفصول و ليس للدارة معنى منطقي. يمكن أن تقوم البوابات ثلاثية الحالة بأي وظيفة منطقية تقليدية مثل بوابات AND و NAND إلا أن استخدامها الأكثر هو بوابة عزل Buffer gate .

يبين الشكل (6– 26) الرمز الرسومي لبوابة عزل ثلاثية الحالة ولتمييزها عن بوابة العزل العادية أضيف إليها خط دخل للتحكم input control line في أسفل رمز البوابة.

لبوابة العزل دخل عادي و خرج عادي ودخل تحكم يحدد حالة البوابة. فعندما تكون قيمة دخل التحكم تساوي 1 تعمل البوابة كبوابة عزل عادية ومن ثم فإن القيمة الموجودة على الدخل تظهر على الخرج. وعندما يكون دخل التحكم 0 يصبح الخرج غير مؤهل وتنتقل بوابة العزل إلى الحالة الثالثة التي تكون فيها ممانعة الخرج عالية بغض النظر عن قيمة الدخل العادي للبوابة.

تقدم حالة الممانعة العالية للبوابة الثلاثية الحالة ميزة إضافية خاصة لا تتوفر في البوابات الأخرى و يمكن بسبب هذه الميزة ربط مخارج عدد كبير من البوابات بعضها ببعض بأسلاك لتكوِّن خطاً مشتركاً من دون التعرض لتأثيرات التحميل Loading effect.

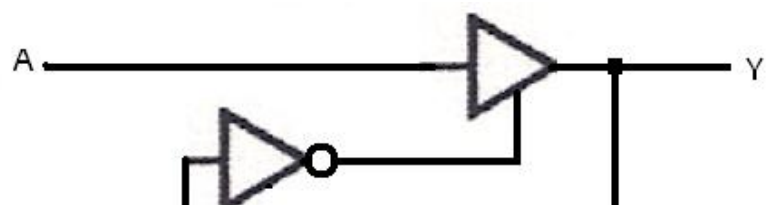


الشكل(6- 26)

رمز بوابة العزل ثلاثية الحالة

ويمكن بناء المجمعات (MUX) باستخدام بوابات عزل ثلاثية الحالة.

يبين الشكل (6 – 27) بناء مجمع MUX(2x1) باستخدام عازلين ثلاثيي الحالة و عاكس. وُصل فيه خرجا بوابتي العزل أحدهما بالآخر ليكونا معاً خط الخرج للمجمع (يجب إدراك أن طريقة الوصل هذه غير ممكنة في البوابات التقليدية التي لا يوجد فيها خرج ثلاثي الحالة) فعندما تكونقيمة دخل الانتخاب Select=0 يؤهل العازل العلوي بدخل التحكم التابع له و العازل السفلي غير مؤهل. و يكون عندها الخرج Y مساوياً للدخل A. على حين تساوي قيمة الخرج Y قيمة الدخل B عندما تكون قيمة دخل الانتخاب Select=1.



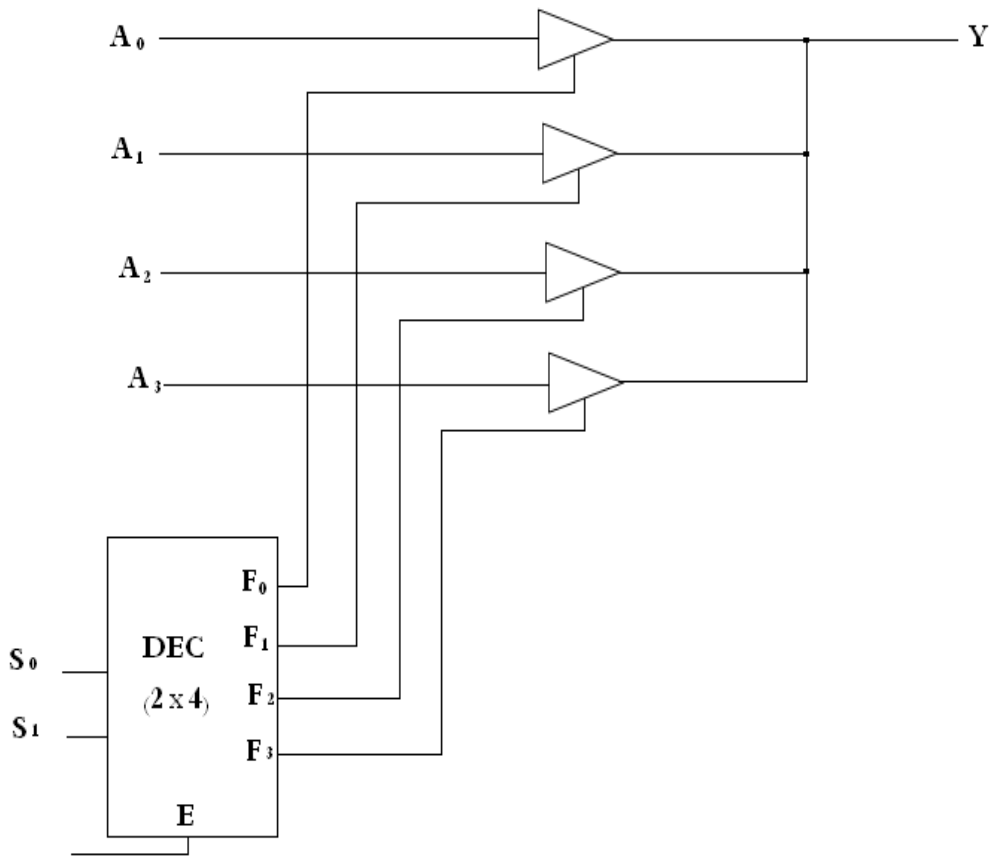
الشكل(6 – 27)

مجمع 2إلى 1 باستخدام عازلين ثلاثيي الحالة

ويبين الشكل (6– 28) المخطط المنطقي لمجمع MUX(4x1) وفيه وُصلت مخارج العوازل الثلاثية الحالة الأربعة بعضها ببعض لتكوِّن خط خرج وحيد. وتحدد مداخل التحكم في بوابات العوازل Buffers أي دخل من المداخل العادية A0 حتى A3 سيوصل إلى خط الخرج. لا يمكن لأكثر من عازل واحد أن يكون فعالاً في وقت واحد. ويجب التحكم في بوابات العوازل الموصولة بحيث يكون لعازل ثلاثي الحالة واحد نفاذ إلى الخرج في حين تبقى جميع العوازل الأخرى في حالة ممانعة عالية.

إحدى الطرق المستخدمة لضمان عدم وجود أكثر من دخل تحكم واحد فعال في أي لحظة زمنية هي استعمال مفكك ترميز كما هو مبين بالشكل (6– 28) فعندما يكون دخل التأهيل للمفكك في حالة 0 منطقي، تكون مخارجه الأربعة بحالة 0 منطقي، و يكون خط النقل في حالة ممانعة عالية لان العوازل الأربعة تكون غير مؤهلة. و عندما يكون دخل التأهيل فعالاً يكون أحد العوازل الثلاثية الحالة فقط مفعَّلاً، وهذا يعتمد على القيمة الثنائية لمداخل الانتخاب في مفكك

الترميز و سوف تبين الدراسة المتأنية بان هذه الدارة ما هي إلا طريقة أخرى لبناء مجمع MUX(4x1).



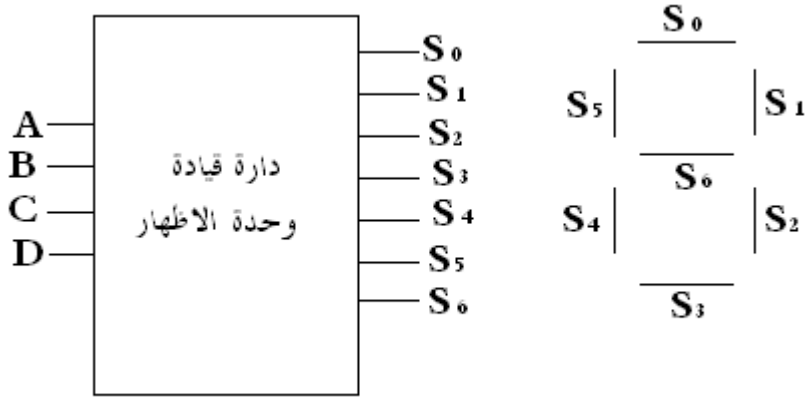
الشكل(6-28)

MUX(4x1)

مثال:

تصميم دارة قيادة وحدة الإظهار ذات السبع قطع 7Segments (Driver)

يبين الشكل (6– 29) المخطط الصندوقي لهذه الدارة ونجد أن هذه الدارة لها أربع مداخل A،B،C، D يتم وضع الترميز الثنائي المرمز عشرياً (BCD) ولها سبع مخارج S_0،S_1،S_2،S_3،S_4،S_5،S_6 وهذه المخارج يتم وصلها مع القطع السبعة المكونة لوحدة الإظهار .



الشكل 6-29 المخطط الصندوقي

يتم إضاءة القطع المناسبة للرقم الثنائي الموجود بالدخل بحيث إذا تم وضع ترميز 0001 على الدخل فإن المخارج S_1،S_2 ستأخذ قيمة 1 منطقي وهي بدورها موصولة مع القطع S1، S2 فتضيء ، بينما بقية المخارج ستأخذ قيمة 0 منطقي و بالتالي تبقى بقية القطع مطفأة مما يؤدي إلى إظهار الرقم 1 على وحدة الإظهار وبنفس الطريقة يتم إظهار جميع الأرقام العشرية 0،1،2،3،4،5،6،7،8، 9 وذلك حسب الجدول (6– 11)

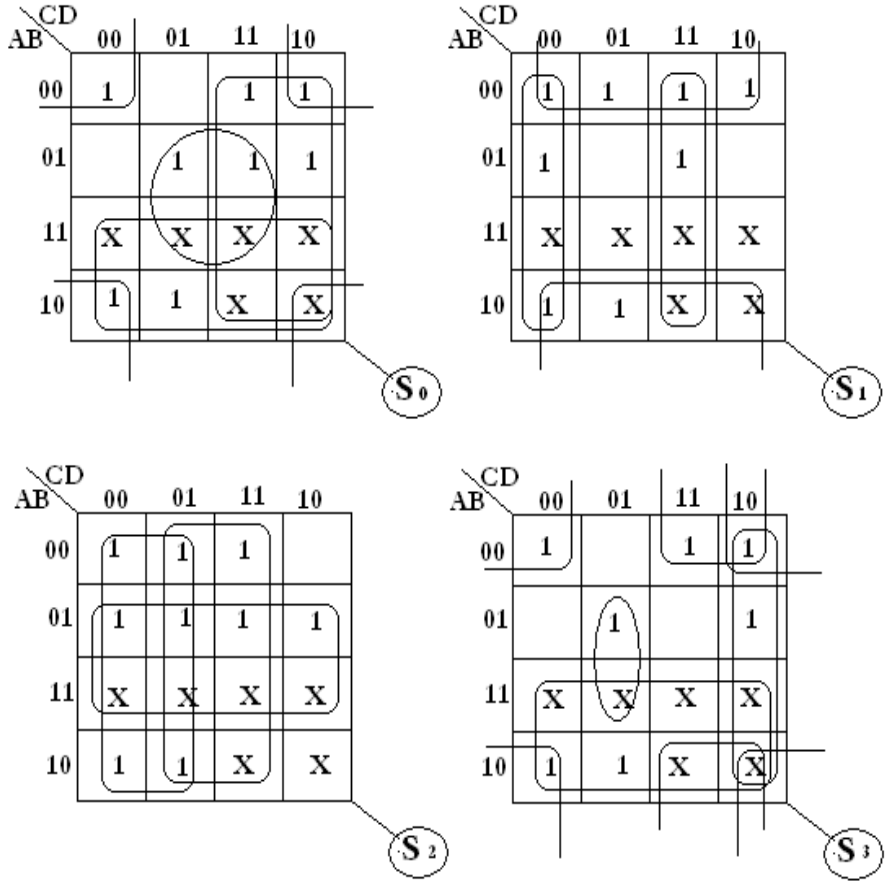
A	B	C	D	S_0	S_1	S_2	S_3	S_4	S_5	S_6
0	0	0	0	1	1	1	1	1	1	0
0	0	0	1	0	1	1	0	0	0	0
0	0	1	0	1	1	0	1	1	0	1
0	0	1	1	1	1	1	1	0	0	1
0	1	0	0	0	1	1	0	0	1	1
0	1	0	1	1	0	1	1	0	1	1
0	1	1	0	1	0	1	1	1	1	1
0	1	1	1	1	1	1	0	0	1	0
1	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	1	1	1	0	1	1
1	0	1	0	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X
1	1	0	0	X	X	X	X	X	X	X
1	1	0	1	X	X	X	X	X	X	X
1	1	1	0	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X

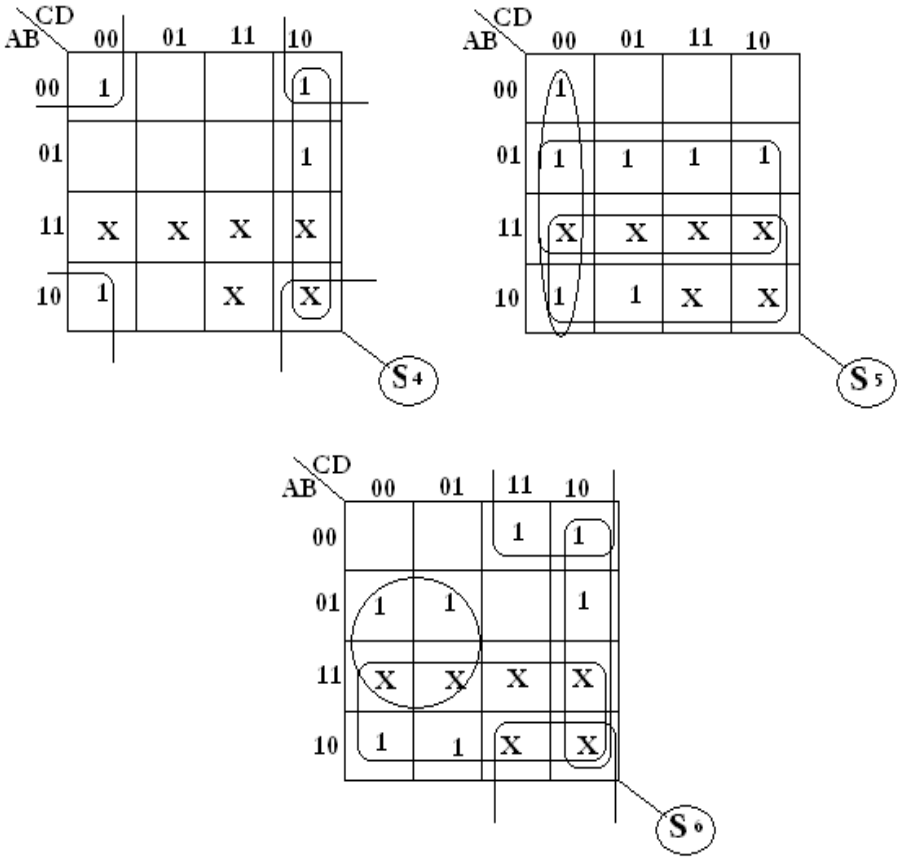
الجدول (6-11)

جدول الحقيقة لدارة قيادة وحدة الإظهار

ونلاحظ أن للدارة أربع مداخل و بالتالي يمكن أن تأخذ 16 احتمال للترميز على المداخل و لكن بهذه الدارة استخدمنا الترميز من 0000 إلى 1001 أما بقية الاحتمالات فهي غير مستخدمة بالدارة وبالتالي فإن قيم الخرج ستكون حالة عدم اكتراث كما هو مبين بجدول الحقيقة السابق (6– 11) .

ننتقل من جدول الحقيقة إلى جداول كارنو لكي نستنتج منها المعادلات المختصرة كما هو مبين بالجداول (6– 12):





الجدول (6- 12)

جداول كارنو لدارة قيادة وحدة الإظهار

من جداول كارنو السابقة تصبح معادلات المخارج :

$$S_0 = A + C + BD + \overline{B}\,\overline{D}$$

$$S_1 = \overline{B} + \overline{C}\,\overline{D} + CD$$

$$S_2 = \overline{C} + D + B$$

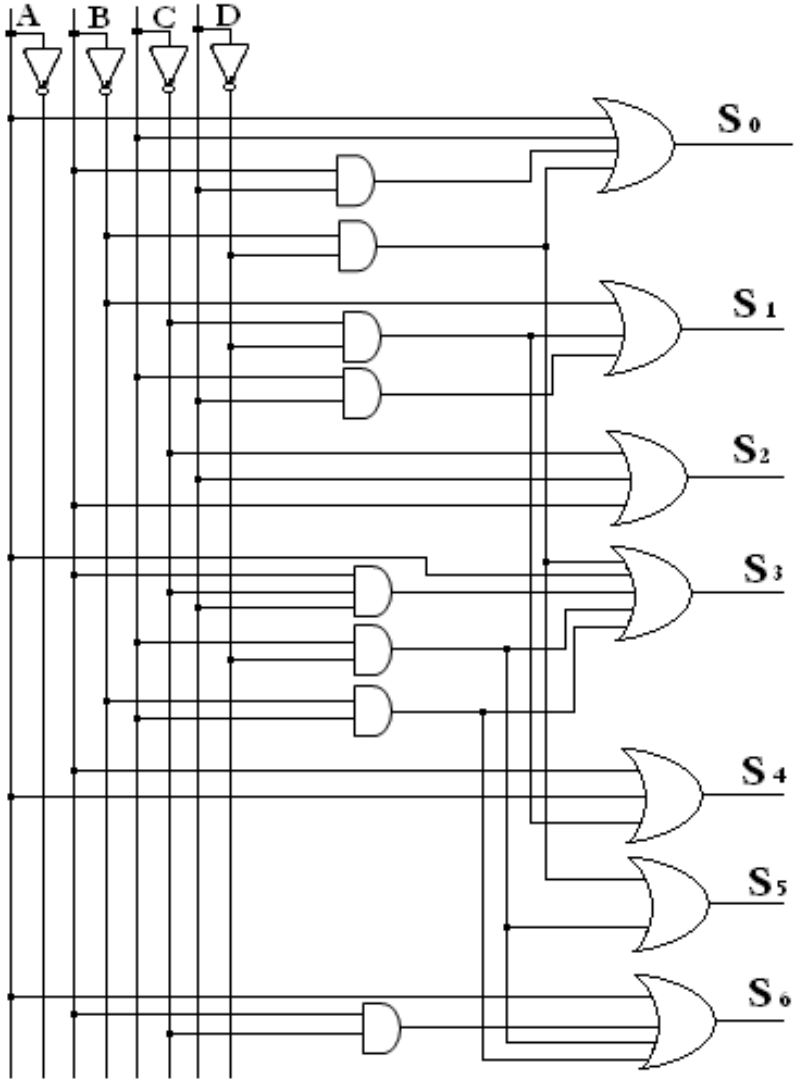
$$S_3 = A + \overline{B}\,\overline{D} + B\overline{C}D + C\overline{D} + \overline{B}C$$

$$S_4 = \overline{B}\,\overline{D} + C\overline{D}$$

$$S_5 = B + A + \overline{C}\,\overline{D}$$

$$S_6 = A + B\overline{C} + \overline{B}C + C\overline{D}$$

و يبين الشكل (6– 30) رسم المعادلات التي تم استنتاجها من جداول كارنو



الشكل(6- 30)

الدارة المنطقية لدارة قيادة وحدة الإظهار

الجزء الثاني

المنطق التتابعي

sequential logic

الفصل السابع

المنطق التتابعي المتزامن

Synchronous sequential logic

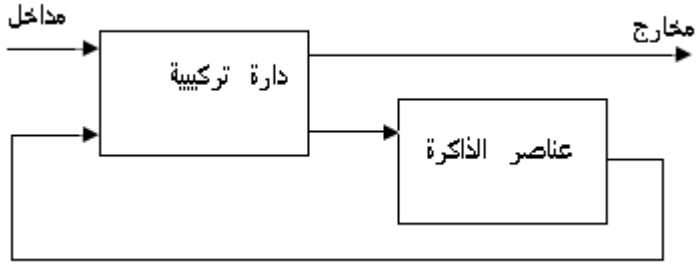
الدارات التتابعية : sequential circuits

إن الدارات الرقمية التي درسناها حتى الآن هي دارات تركيبية وفيها يعتمد الخرج كليا على الحالة الراهنة للمداخل ومع أنه يوجد في كل نظام منطقي دارات تركيبية،لكن تتضمن معظم النظم التي نصادفها في الحياة العملية عناصر تخزين storage elements وبهذه الحالة يطلق على النظام عبارة المنطق التتابعي sequential logic.

يبين الشكل (7– 1) التالي المخطط الصندوقي لدارة تتابعية تتألف من دارة تركيبية وصل إليها عناصر تخزين لتشكل ممر تغذية خلفية feed back فعناصر التخزين هي تجهيزات devices قادرة على تخزين المعلومات.

تعرّف المعلومات الثنائية المخزنة في هذه العناصر في أي زمن حالة state الدارة التتابعية في ذلك الزمن. تستقبل الدارة التتابعية المعلومات الثنائية من مداخل خارجية. تحدد هذه المداخل مع الحالة الراهنة present state المخزنة في عناصر التخزين القيمة الثنائية للمخارج. وتحدد أيضا شرط تغيير الحالة لعناصر التخزين.

يوضح المخطط الصندوقي أن المخارج في الدارة التتابعية هي توابع ليس للمداخل فقط، إنما للحالة الراهنة لعناصر التخزين أيضاً. وأن الحالة التالية next state لعناصر التخزين أيضا هي تابع لكل من المداخل الخارجية و للحالة الراهنة. لهذا، توصف الدارة التتابعية بالتتابع الزمني للمداخل والمخارج والحالات الداخلية.



مخطط صندوقي لدارة تتابعية

يوجد صنفان رئيسيان للدارات التتابعية. ويعتمد تصنيفها على تزامن إشاراتها. فالدارة التتابعية المتزامنة Synchronous هي نظام يمكن تعبين سلوكه من معرفة إشاراته في لحظة متقطعة زمنياً discrete instants of time.

توظِّف الدارات التتابعية المتزامنة إشارات تؤثر في عناصر التخزين عند لحظات زمنية متقطعة فقط.

يتحقق التزامن بواسطة تجهيزة device توقيت تدعى مولد نبضات الساعة (الميقاتية) clock generator الذي ينتج قطاراً من نبضات ساعة دورية periodic train of clock- pulses.

تُوزّع نبضات الساعة في أنحاء النظام بطريقة تتأثر عناصر التخزين فيها عند وصول كل نبضة فقط.

تطبق عمليا نبضات الساعة مع إشارات أخرى تحدد التغيير المطلوب في عناصر التخزين.

تدعى الدارات التتابعية المتزامنة التي تستخدم نبضات ساعة في مداخل عناصر التخزين: بالدارات التتابعية المحكومة بنبضات الساعة clocked sequential circuits.

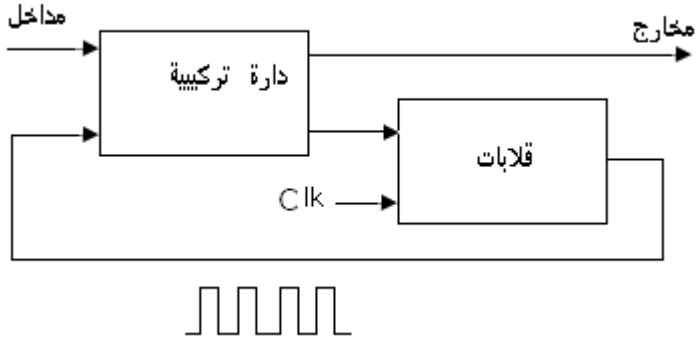
والدارات التتابعية المحكومة بنبضات الساعة هي النوع الأكثر انتشاراً في الحياة العملية. ونادراً ما يبدي هذا النوع مشاكل عدم استقرار أما تزامنها فيمكن تحليله broken down إلى خطوات متقطعة مستقلة يمكن معالجة كل منها بصورة منفصلة.

تدعى عناصر التخزين المستخدمة في الدارات التتابعية المحكومة بنبضات الساعة: بالقلابات flip-flops. فالقلاب هو تجهيزة تخزين ثنائية قادرة على تخزين خانة واحدة من المعلومات.

ويمكن للدارة التتابعية أن تستخدم عدة قلابات لتخزين العدد اللازم من الخانات. يبين الشكل (7–2) المخطط الصندوقي لدارة تتابعية متزامنة من النوع المحكوم بنبضات الساعة و فيها يمكن للخرج أن يأتي من الدارة التركيبية (الجزء التركيبي) أو من القلابات أو من كليهما.

تستقبل القلابات إشارات مداخلها من دارة المنطق التركيبي و من إشارة الساعة أيضاً التي تعطي نبضات بفواصل زمنية ثابتة كما هو مبين بالمخطط الزمني.

ويمكن أن تتغير حالة القلابات فقط خلال تغيُّر نبضة الساعة (انتقال النبضة) clock pulse transition. تقطع حلقة التغذية الخلفية (في الدارات التتابعية المتزامنة) عندما تكون نبضة الساعة غير فعالة. وذلك لأنه لا يمكن أن يتغير خرج القلاب حتى لو تغيرت قيم مخارج الدارة التركيبية التي تقود مداخل القلابات. وهكذا فإن الإنتقال من حالة إلى حالة تالية يحدث فقط في فواصل زمنية محددة سلفاً تمليها نبضات الساعة.



الشكل(7-2)

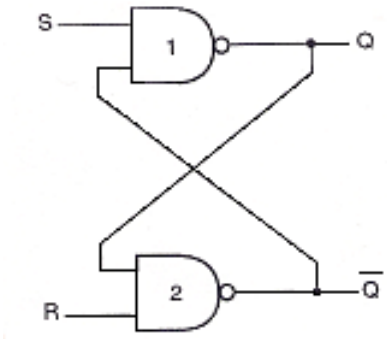
مخطط صندوقي لدارة تتابعية محكوم بالنبضات

القلابات FLIP-FLOPS:

يمكن لدارة القلاب أن تحتفظ بحالة ثنائية لمدة محدودة (ما دامت الدارة مغذاة بالقدرة) إلى أن تقاد بإشارة دخل ليغير (يبدل) حالاته. الفروق الرئيسية بين أنواع القلابات المختلفة هي في عدد المداخل التي تعالجها وفي الطريقة التي تؤثر فيها المداخل على الحالة الثنائية. تعمل الأنواع الأساسية من القلابات بإشارات من نوع المستوى ويشار إليها كمواسك latches.

7-1-1 قلاب R-S: بمداخل ذات مستوى نشط منخفض (active low inputs)

يبين الشكل (7-3) تخطيط لتركيب قلاب R-S بمداخل ذات مستوى نشط منخفض باستخدام بوابة NAND. ونجد في الرسم أن بوابتي NAND متصلتين اتصال مزدوج بمعنى أن خرج بوابة NAND الأولى هو أحد مداخل بوابة NAND الثانية وخرج بوابة NAND الثانية هو أحد مداخل بوابة NAND الأولى أما المداخل الباقية لبوابات NAND هما R، S أما خرج البوابتان الأولى و الثانية هما Q، $\bar{Q}$.



الشكل (7-3)

قلاب بمداخل ذات مستوى نشط منخفض

ويوضح الجدول (7–1) جدول الحالة لهذا القلاب.

Operation Mode	S	R	Q_{n+1}
No change	1	1	Q_n
SET	0	1	1
RESET	1	0	0
Forbidden	0	0	_

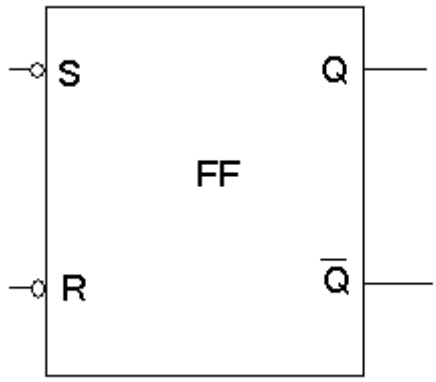
الجدول (7-1) جدول الحالة

ونبدأ الآن شرح هذا الجدول و لنأخذ الحالة الأولى وهي R=1، S=1 سوف نثبت الآن أنه في هذه الحالة تبقى قيمة الخرج Q كما هي دون تغيير وتمثل Q_n الحالة الموجودة حالياً أما Q_{n+1} يمثل حالة القلاب بعد أن يتغير أي من المداخل R أوS. دعنا نفترض أن قيمة Q في البداية = 0 ويتم إدخال هذه القيمة إلى أحد مداخل البوابة الثانية فيعطي قيمة $\bar{Q}$ =1، وتدخل قيمة$\bar{Q}$أحد مداخل البوابة الأولى والمدخل الآخر S=1 فيعطي Q=0. ولهذا لم تتغير قيمة Q عندما كانت R=S=1. ولندرس نفس الحالة عندما تكون Q=1 في البداية وليس 0 كما في السابق.

يتم إدخال قيمة Q=1 إلى أحد مداخل البوابة الثانية ومعها R=1 فتكون $\bar{Q}$ =0وعندما يتم إدخال $\bar{Q}$=0 إلى مدخل البوابة الأولى فتصبح قيمة Q=1 كما هي دون أن تتغير وبهذا تظل قيمة Q الحالية كما هي دون أن تتغير ما دام S=R=1.

فلننظر إلى الحالة الثانية في الجدول وهي أن S=0 و R=1 وفي هذه الحالة يتم إعطاء القيمة 1 للخرج Q وبالمثل في الحالة الثالثة حيث S=1 ، R=0 يأخذ الخرج Q القيمة 0. ولنقم بدراسة ماذا سيحدث في الحالة الرابعة عندما S=R=0 وهذه القيم للمداخل تشير إلى أن كلاً من Q،$\bar{Q}$ لا بد أن يأخذا القيمة 1. ويدخل أحد المداخل قيمته 0 إلى البوابة الأولى فيجعل قيمة الخرج 1 بغض النظر عن قيمة الدخل الآخر، وهذه الحالة غير مقبولة لأن الخرجان Q،$\bar{Q}$هما متغيران مكملان لبعضهما لهذا تعتبر هذه الحالة عندما يكون R=S=0 حالة ممنوعة وخاطئة أي نمنع وضع قيمة أصفار على المداخل. يوضح الشكل (7-4) الرمز المنطقي للقلاب ونجد في الرسم أن الدخلين R، S ذوا مستوى منخفض نشط

حيث يكون وضع القلاب بحالة SET (أي أن Q=1) عندما S=0 وحالة RESET (أي أن Q=0) عندما R=0.



الشكل 7- 4

ويكون جدول الحالة التفصيلي للقلاب R-S كما هو مبين بالجدول (7– 2)

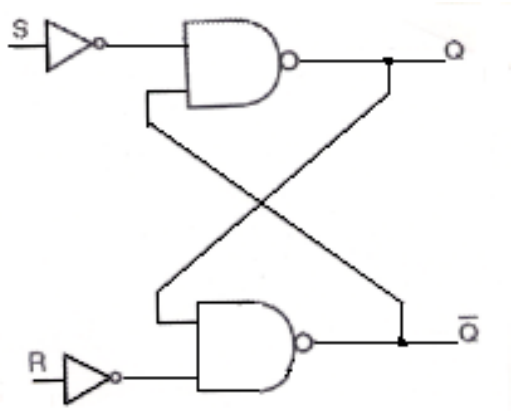
Q_n	S	R	Q_{n+1}
0	0	0	خطأ
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	خطأ
1	0	1	1
1	1	0	0

1	1	1	1

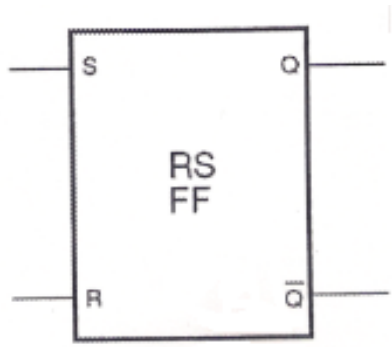
الجدول (7- 2)

7–1–2 – قلاب R-S: بمداخل ذات مستوى نشط مرتفع (active high inputs)

يوضح الشكل (7–5) مخطط لتركيب قلاب R-S باستخدام بوابات NAND أما رمز الدارة التخطيطي فهو مبين بالشكل (7– 6) وهذه الدارة ذات مستوى دخل نشط مرتفع فتكون الحالة R=S=1 هي الحالة الممنوعة لأنه لا يمكن أن يكون المدخلين R، S نشطين بنفس الوقت.



الشكل 7-5



الشكل 7- 6

ويوضح الجدول (7–3)جدول الحالة لهذا القلاب.

Operation Mode	S	R	Q_{n+1}
No change	0	0	Q_n
SET	1	0	1
RESET	0	1	0
Forbidden	1	1	_

الجدول 7- 3

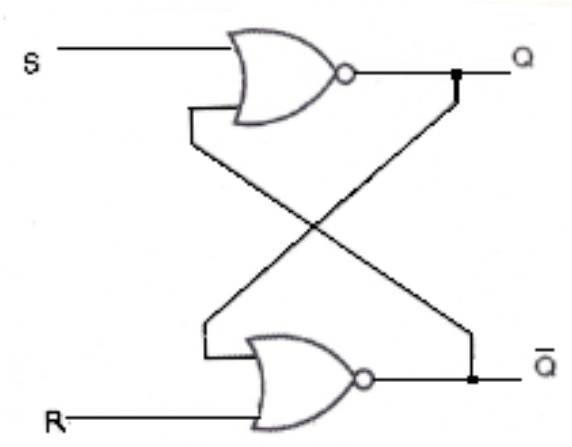
ويكون جدول الحالة التفصيلي للقلاب كما هو مبين بالجدول (7–4)

Q_n	S	R	Q_{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	خطأ
1	0	0	1
1	0	1	0

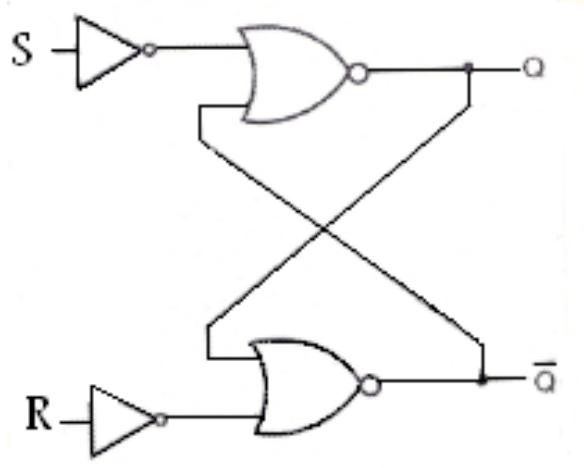
1	1	0	1
1	1	1	خطأ

الجدول (7-4)

والقلاب R-S بنوعيه السابقين يمكن تركيبهم وتصميمهم أيضا باستخدام بوابات NOR كما في الشكل (7– 7) والشكل (7– 8)

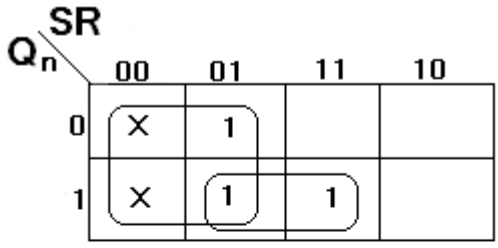


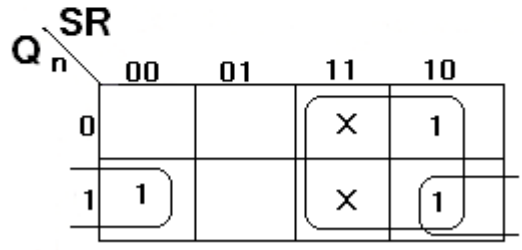
الشكل 7-7



الشكل 7- 8

نستطيع من خلال جدول الحالة التفصيلي للقلاب كما في الجدول (7- 4) والجدول (7-2) كتابة معادلة خرج القلاب من خلال جداول كارنو كما في الجدول (7-5) لمداخل ذات مستوى نشط منخفض ومستوى نشط مرتفع، هي كما يلي على الترتيب :





االجدول7- 5

$$Q_{n+1} = \overline{S} + R . Q_n \quad , \quad S + R = 1$$

$$Q_{n+1} = S + \overline{R} . Q_n \quad , \quad S . R = 0$$

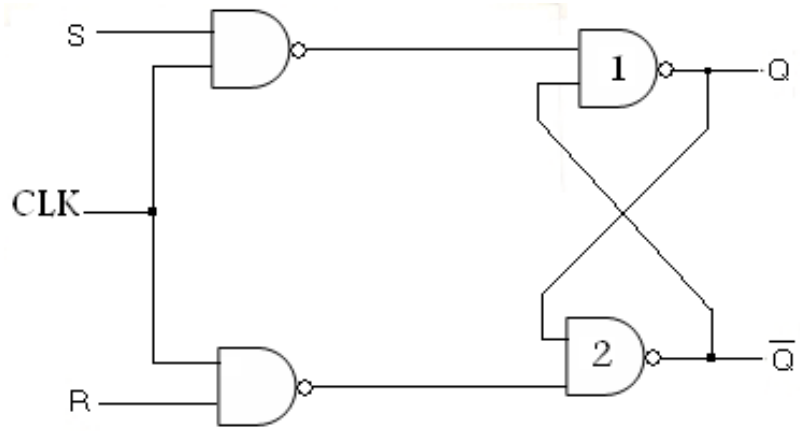
والشرط S+R=1 يشير إلى أن الحالة التي بكون فيها S=R=0 هي حالة ممنوعة، وكذلك الشرط الثاني R.S=0 يشير إلى أن حالة R=S=1 هي حالة ممنوعة.

7–1– 3 قلاب R-S الساعي (clocked)

في القلاب الساعي تتغير حالة الخرج تبعا لقيم المداخل فقط عند نبضات الساعة وهناك نوعين من القلاب الساعي: نوع يتأثر بالمستوى لنبضة الساعة والآخر يتأثر بحافة النبضة. وسندرس ذلك لاحقا.

أما الآن فلنعرف كيف يمكننا تحويل القلاب إلى قلاب ساعي. في الشكل (7–9) التركيب المنطقي للقلاب الساعي ذو مستوى نشط مرتفع والجدول (7–6) يبين جدول الحالة لها و الشكل (7–10) يبين المخطط الصندوقي للقلاب SR.

وتركيب القلاب الساعي هو نفس تركيب القلاب الأساسي بوابتي NAND مدخليها متصلين اتصال مزدوج و مدخلي R-S يتحكم بهما إشارة الساعة فعندما يكون مستوى الساعة مرتفع يتم تمكين البوابتين ومرور الدخلين RوS إلى مداخل القلابيقيم متممة $(\bar{R}، \bar{S})$ويتمكن الخرج من تغيير حالته تبعا لحالة المدخلين R، S فمثلاً عندما تكون S=1، R=0 فإن هذه القيم تدخل إلى القلاب S=0، R=1 عندما تكون إشارة الساعة مرتفعة. وعندما تكون إشارة الساعة منخفضة تعطي البوابتين كل منهما خرج = 1 بغض النظر عن قيم R، S وتعطي القيمة 1 لمداخل القلاب ومع عدم حدوث تغيير على حالة الخرج.

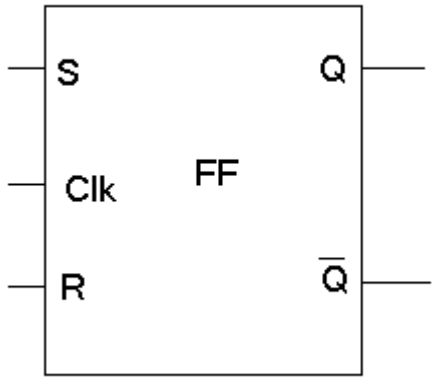


S	R	CLK	Q_{n+1}
0	0	0	Q_n
0	0	1	Q_n
0	1	0	Q_n
0	1	1	0
1	0	0	Q_n
1	0	1	1
1	1	0	Q_n

خطأ	1	1	1

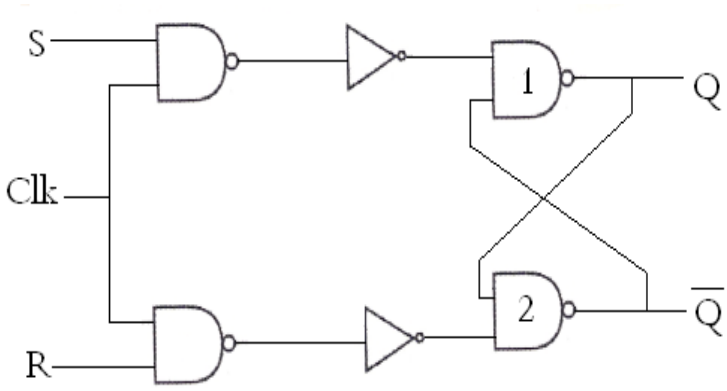
الشكل 7-9

الجدول 7-6



الشكل 7-10

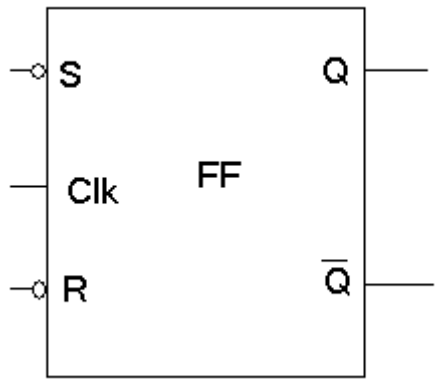
ويوضح الشكل (7– 11) قلاب S-R ذو مستوى نشط منخفض و الجدول (7– 7) جدول الحالة لها والشكل (7– 12) المخطط الصندوقي للقلاب.



الشكل 7-11

S	R	CLK	Q_{n+1}
0	0	0	Q_n
0	0	1	خطأ
0	1	0	Q_n

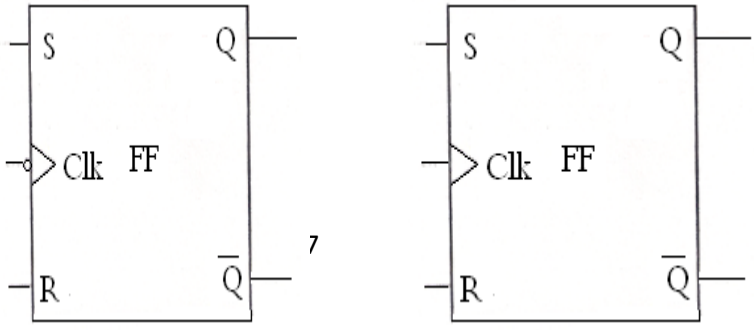
الجدول 7-7



الشكل 7- 12

القلابات السابقة هي قلابات تتأثر بمستوى نبضة الساعة مرتفع أي أن أي تغيرات تحدث على المداخل أثناء الفترة الزمنية التي يكون فيها نبضة الساعة مرتفع فإن الخرج يتأثر بها تبعاً لجدول الحالة للقلاب. وقد تتأثر بمستوى نبضة الساعة منخفض.

النوع الثاني يتأثر بحافة النبضة أي أن الخرج يتأثر بتغيرات قيم المداخل عندما ينتقل مستوى نبضة الساعة من المنخفض للمرتفع (الجبهة الصاعدة) كما في الشكل (7– 13) أو عندما ينتقل مستوى نبضة الساعة من المرتفع للمنخفض (الجبهة الهابطة) كما في الشكل (7– 14) وهذا يعني أن أي تغيرات المداخل عندما يكون مستوى النبضة مستقر (مرتفع أو منخفض) لا تتأثر بها حالة الخرج.



الشكل 7-13 الشكل 7-14

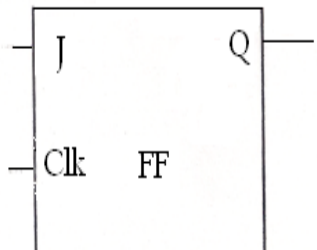
7– 2 القلاب J-K

يعمل القلاب J-K كما يعمل القلاب R-S فيما عدا حالة إدخال واحدة من جدول الحالة ففي حالة القلاب R-S توجد حالات إدخال ممنوعة هي R=S=1 في حالة مستوى إدخال نشط مرتفع وعندما تكون R=S=0 في حالة مستوى إدخال نشط منخفض.

أما في القلاب J-K حالة مستوى إدخال نشط مرتفع عندما تكون قيم المداخل J=K=1 فإن قيمة الخرج تتبدل من (Q إلى $\overline{Q}$) وكذلك عندما تكون المداخل J=K=0 في حالة مستوى إدخال نشط منخفض تتبدل قيمة الخرج أيضاً. وبهذا يتغلب القلاب J-K على مشكلة المداخل الممنوعة الموجودة في القلاب R-S ويكون لدى القلاب J-K أربع أوضاع للعمل هي:

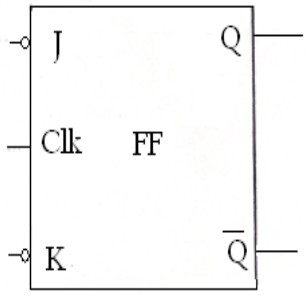
ضبط الحالة (SET) وإعادة الضبط (RESET) وبدون تغيير (NO CHANGE) وتبديل الخرج (TOGGLE).

و يوضح الشكل(7– 15) و (7– 16) رمز دارة القلاب J-K ذو مستوى إدخال نشط مرتفع ومنخفض على الرتيب وكذلك جدول الحالة لكل نوع.



Operation Mode	J	K	CLK	Q_{n+1}
SET	1	0	1	1
RESET	0	1	1	0

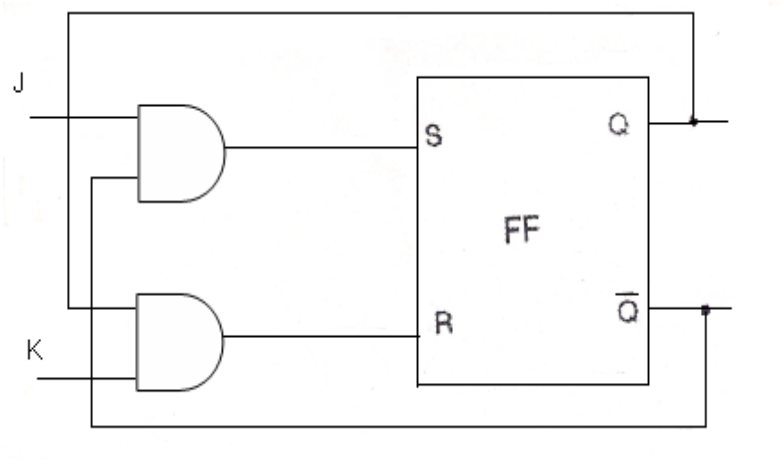
الشكل 7- 15



Operation Mode	J	K	CLK	Q_{n+1}
SET	0	1	1	1
RESET	1	0	1	0
NO CHANGE	1	1	1	Q_n
TOGGLE	0	0	1	$\overline{Q_n}$

الشكل 7- 16

ويوضح الشكل(7–17) كيفية تركيب قلاب J-K باستخدام قلاب (R-S).



الشكل 7- 17

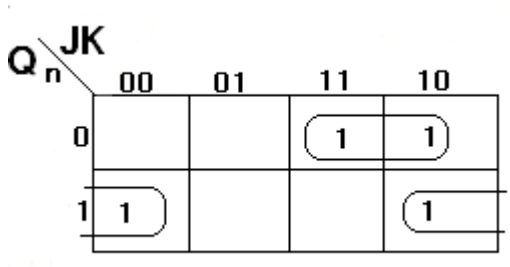
وجدول الحالة للقلاب K-Jذومستوى إدخال نشط مرتفع مبينبالجدول (7– 8).

ومن خلال جدول الحالة نرسم جدول كارنو لخرج القلاب كما في الجدول (7– 9).

Q_n	J	K	Q_{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1

1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

الجدول 7- 8



الجدول (7- 9)

ونستنتج معادلة خرج القلاب J-K: $Q_{n+1} = J \cdot \overline{Q_n} + \overline{K} \cdot Q_n$

7-2-1-القلاب J-K ذو مدخلين (ضبط القلاب و مسح القلاب)

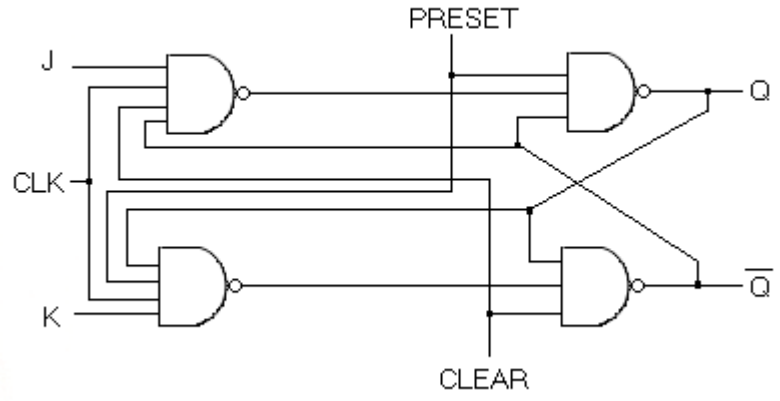
(PRESET and CLEAR):

يكون من الضروري مسح حالة القلاب المنطقية أي إعطائها القيمة 0 (Q_n=0) ونحتاج أيضاً إلى ضبط حالة القلاب أي إعطائها القيمة 1 (Qn=1).

ويتم مسح القلاب أي إعطاء Qn =0 عندما تكون قيمة الدخل CLEAR=0 و PRESET=1.

ويتم ضبط حالة القلاب أي إعطاء Qn=1 عندما تكون قيمة الدخل CLEAR=1 و PRESET=0.

وفي الشكل (7- 18) كيفية تحقيق هذا.

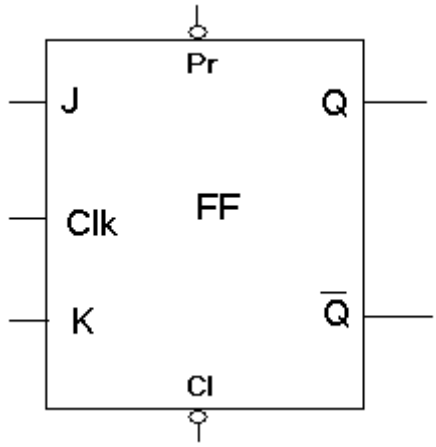


الشكل (7- 18)

ويوضح الشكل(7- 19) رمز دارة قلاب J-K مؤقتة بها مدخل لضبط ومسح القلاب.

ونلاحظ من خلال هذه الدارة أنه كلما كان PRESET نشطاً كانت قيمة الخرج= 1 بغض النظر عن حالة الساعة و المدخلين J-K. وبالمثل فإن القلاب يعطي قيمة على الخرج = 0 مادام الدخل CLEAR نشطاً بغض النظر عن بقية المداخل.

يجب وفي مثل هذا النوع من المداخل يجب أن لانجعل الدخلين PRESET ، CLEAR نشطين بنفس الوقت.



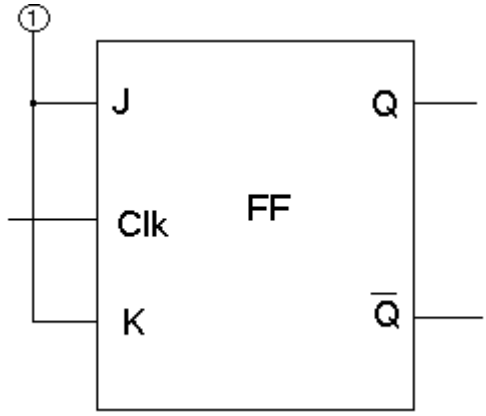
الشكل(7- 19)

ملاحظة :

القلاب J-K يسمى القلاب الشامل لأنه يمكن استخدامه لتكوين أي قلاب من نوع آخر.

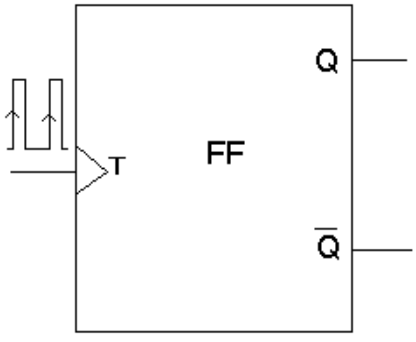
7–3القلاب J-K يعمل كقلاب T:

إذا راجعنا جدول الحالة للقلاب J-K فإننا نجد أنه عندما يكون كلا المدخلين J-K نشطين فإن القلاب يعمل كأنه قلاب تبديل (TOGGLE)ويعمل مدخل الساعة كأنه الدخل T و يوضح الشكل (7–20) كيفية جعل القلاب J-K يعمل كقلاب T.



الشكل 7- 20

ويبين الشكل (7– 21) رمز القلاب T الذي يتأثر بالجبهة الصاعدة وجدول الحالة له.



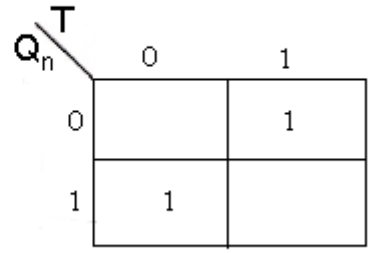
T	Q_n	Q_{n+1}
1	0	1
1	1	0

الشكل (7- 21)

ويتبين من جدول الحالة أنه تتغير حالة خرج القلاب T كلما تغيرت حالة الدخل T ويسمى بالدخل المتبدل (TOGGLE-INPUT) وذلك بسبب أن الخرج يصبح 1 إذا كان 0 ويصبح 0 إذا كان 1.

ويبين الجدول (7– 10) جدول الحالة التفصيلي وجدول كارنو لهذا القلاب.

Q_n	T	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

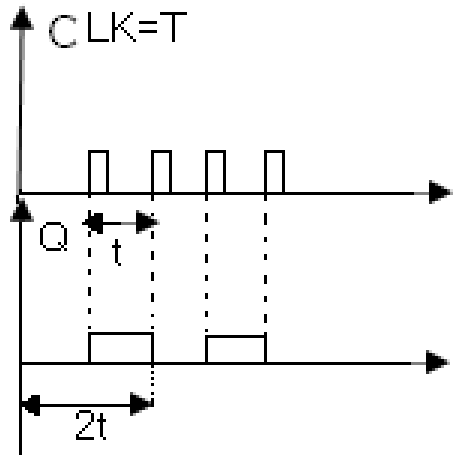


الجدول (7- 10)

ومن جدول كارنو نستنتج معادلة خرج القلاب:

$$Q_{n+1} = T \cdot \overline{Q_n} + \overline{T} \cdot Q_n$$

ومن ثم نرسم المخطط الزمني للقلاب T وذلك بعد أن نطبق أربع نبضات ساعة CLK على الدخل T ونفترض أن الخرج Qnعند بدء الزمن يساوي الصفر .ويبين الشكل (7– 22) المخطط الزمني له.



الشكل (7- 22)

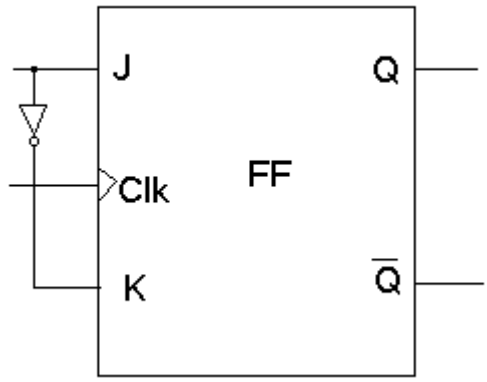
ويتضح لنا من المخطط الزمني للقلاب T أن دور إشارة الدخل يساوي ضعف دور إشارة الخرج وبالتالي تردد إشارة الخرج Q نصف تردد إشارة الدخل T .

وبالتالي عند توصيل عدد n من قلابات T توصيل متتالي (الخرج مع الدخل التالي) تستخدم هذه الدارة المتسلسلة لقسمة تردد الإشارة المدخلة على عامل = 2^n .

7–4 القلاب J-K يعمل كقلاب D :

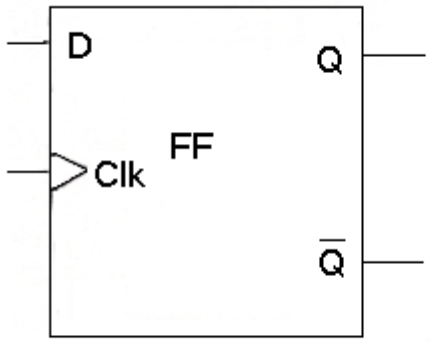
حسب جدول الحالة للقلاب J-K المبين بالشكل (7– 8) وحسب الشكل (7– 23) نجد أنه عندما تكون D=1 فإن المدخلين J=1 و K=0 فإنه في هذه الحالة قيمة الخرج Q=1 .

وأيضاً عندما D=0 فإن K=1 و J=0 فإن قيمة الخرج Q=0 و هكذا تكون قيمة الدخل D قد انتقلت للخرج عبر القلاب .



الشكل (7- 23)

ويبين الشكل (7– 24) رمز القلاب D الذي يتأثر بالجبهة الصاعدة وجدول الحالة له .



D	Clk	Q
0	↑	0
1	↑	1

الشكل (7- 24)

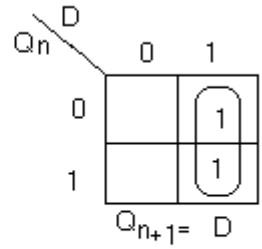
يسمى هذا القلاب D (DATA) قلاب المعطيات أو تخزين المعطيات يستخدم لتخزين 1bit خانة واحدة من المعلومات .

فعندما يكون دخل الساعة نشط فإن قيمة الدخل D تنتقل إلى الخرج Qأي حسب الشكل السابق يتم نقل البيانات من D إلى Q عند الجبهة الصاعدة لنبضة الساعة .

ويبين الشكل (7–25) جدول الحالة التفصيلي و جدول كارنو لهذا القلاب ومعادلة خرج القلاب .

$Q_{n+1}= D$

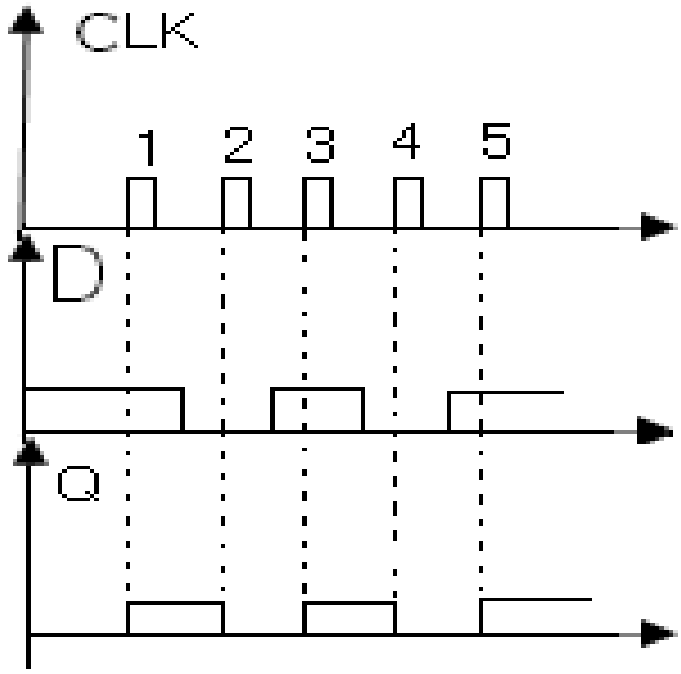
Q	D	Q_{n+1}
0	0	0
0	1	1
1	0	0
1	1	1



الشكل (7-25)

نرسم المخطط الزمني للقلاب D :

نفترض أن الدخل D يأخذ التغيرات المبينة بالشكل (7– 26) وبفرض أن Q=0 عند بدء الزمن وبالتالي فإن تغيرات Q يمكن استنتاجها كما هو مبين بالشكل (7– 26).



الشكل (7- 26)

المخطط الزمني للقلابD

الفصل الثامن

المسجلات والعدادات

Registers AND Counters

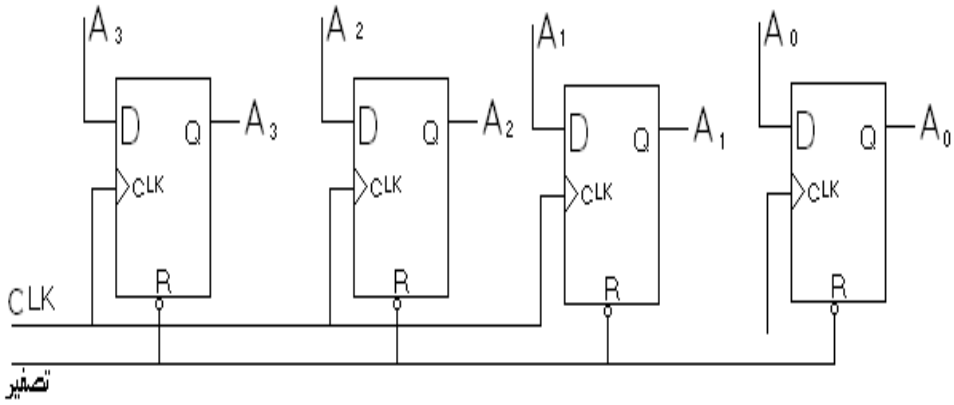
8-1المسجلات Registers:

المسجل هو مجموعة من القلابات يستطيع كل منها أن يخزن خانة ثنائية واحدة من المعلومات . و يتألف المسجل Register ذو الطول n خانة من مجموعة n من القلابات Flip-Flops و هو قادر على حفظ n خانة من المعلومات الثنائية Binary Information. قد يتضمن المسجل إضافة إلى القلابات بوابات تركيبية تقوم بمهمات محدودة لمعالجة المعطيات .

فالمسجل في تعريفه الأعم يتألف من مجموعة من القلابات والبوابات التي تؤثر على انتقالاتها .

تحفظ القلابات المعلومات الثنائية على حين تحدد البوابات كيفية نقل المعلومات إلى المسجل . أبسط نوع من المسجلات هو ذلك الذي يتألف من قلابات فقط دون أية بوابات.

يبين الشكل (8 – 1) مسجلاً من هذا النوع يستخدم أربعة قلابات من نوع D .



الشكل (8 - 1)

تقدح الساعة المشتركة جميع القلابات عند الجبهة الصاعدة لكل نبضة من نبضات الساعة .وتنقل المعطيات الثنائية الموجودة على المداخل الأربعة A_0،A_1،A_2،A_3 إلى المسجل ذي الخانات الأربعة . ويمكن أخذ عينة من المخارج في أي لحظة للحصول على المعلومات الثنائية المخزنة في المسجل .

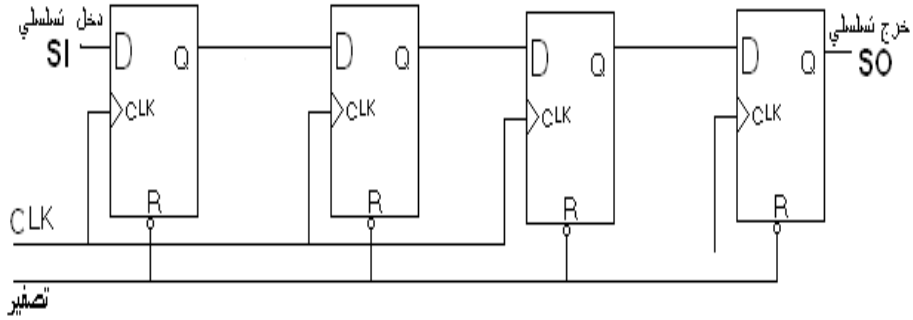
ولقد وُصل مدخل المحي التصفير clear في المسجل إلى جميع القلابات و تُصفَّر مخارجها بمجرد انتقال هذا الدخل إلى 0 .

يفيد مدخل المحي (التصفير) clear في تصفير المسجل قبل بدء عمله المحكوم بنبضات الساعة .ولكي يعمل هذا المسجل عملاً طبيعياً (تحت تأثير نبضات الساعة) يجب أن تبقى المداخل R عند المستوى المنطقي 1 .

8-1-1- مسجلات الإزاحة Shift Registers :

يدعى المسجل القادر على إزاحة المعلومات الثنائية المخزنة فيه باتجاه واحد أو بالاتجاهين مسجل إزاحة)Shift Registers(. تتكون البنية المنطقية لمسجل الإزاحه من سلسلة من القلابات المتتالية، مخرج كل قلاب فيه موصول إلى مدخل القلاب الذي يليه. تتلقى جميع القلابات نبضات ساعة مشتركة Common clock تقوم بتفعيل الإزاحة من مرحلة إلى أخرى تليها. مسجل الإزاحة الأبسط الممكن هو ذلك الذي يستخدم قلابات فقط .

كما هو مبين في الشكل (8- 2).



الشكل (8- 2)

يوصَل فيه مخرج قلاب ما إلى المدخل D للقلاب الذي يقع على يمينه وتزيح كل نبضة ساعة محتوى المسجل موضعاً واحداً إلى اليمين ويحدِّد الدخل التسلسلي Serial Input القيمة التي تدخل إلى القلاب الذي يشغل الموضع الموجود في أقصى اليسار خلال الإزاحة.

يؤخذ الخرج من الخرج التسلسلي Serial-Output المتمثل بخرج القلاب الواقع في أقصى اليمين.

وأحياناً يكون ضرورياً التحكم في الإزاحة بحيث تحصل إزاحة عند نبضات محددة دون بعضها الآخر. ويمكن تحقيق ذلك بحجب الساعة عن دخل المسجل لمنع حدوث إزاحة فيه. وسنبين لاحقاً أنه يمكن التحكم بعملية الإزاحة عن طريق المداخل D للقلابات بدلاً من مدخل الساعة. ومع ذلك إذا استخدم المسجل المبين بالشكل(8– 2) فإنه يمكن التحكم بالإزاحة بتمرير نبضة الساعة ببوابة AND مع مدخل التحكم بالإزاحة.

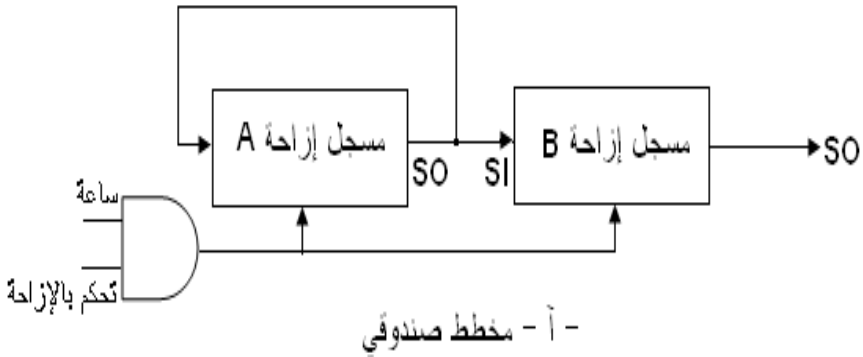
8–2–النقل التسلسلي Serial Transfer :

نقول إن نظاما رقمياً يعمل وفق النمط التسلسلي إذا نُقلت المعلومات و عُولجت خانةً خانةً في كل لحظة. ويجري نقل المعلومات خانةً واحدة في كل لحظة بإزاحة الخانات الخارجة من مسجل المصدر Source Register إلى مسجل الوجهة Destination Register.

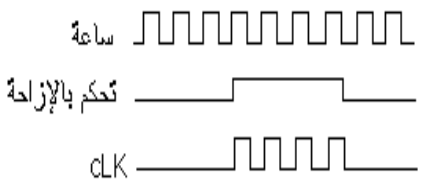
على عكس النقل المتوازي الذي تنقل فيه جميع خانات المسجل في اللحظة ذاتها.

تُنقل المعلومات في النقل التسلسلي من المسجل A إلى المسجل B بواسطة مسجلات إزاحة كما هو موضح في المخطط الصندوقي بالشكل (8– 3) وفيه وُصل الخرج التسلسلي SO في المسجل A إلى الدخل التسلسلي SI في المسجل B .

وللحيلولة دون ضياع المعلومات المخزنة في مسجل المصدر جُعلت المعلومات في المسجل A تدور وذلك بوصل خرجه التسلسلي إلى دخله التسلسلي. تزاح القيمة الابتدائية المخزنة في المسجل B خارجةً من الخرج التسلسلي لتضيع إلا إذا نُقلت إلى مسجل إزاحة ثالث. يحدِّد مدخل التحكم بالإزاحة زمن الإزاحة وعدد المرات التي تُزاح فيها المسجلات. يتحقق ذلك باستخدام بوابة AND تسمح لنبضات الساعة بالمرور إلى مداخل الساعة في مسجلات الإزاحة عندما يكون مدخل التحكم بالإزاحة مفعَّلاً فقط.



- آ - مخطط صندوقي



- ب - مخطط زمني

الشكل (8- 3)

افترض أن طول كل مسجل من المسجلين هو أربع خانات. يجب تصميم وحدة التحكم التي تشرف على عملية النقل بطريقة تُؤهل مسجلات الإزاحة لمدة ثابتة مسوية أربع نبضات ساعة. وهذا موضح على المخطط الزمني.

تُزامَن إشارة التحكم بالإزاحة مع نبضة الساعة وتُغيِّر قيمتها تماماً بعد الجبهة الهابطة لنبضة الساعة. تحد نبضات الساعة الأربع التالية إشارة التحكم بالإزاحة بحالتها الفعالة. وبذلك نحصل في خرج البوابة AND الموصول خرجها إلى دخل الساعة CLK على أربع نبضات T1،T2،T3، T4 تسبب كل جبهة صاعدة من حافات النبضة إزاحة في كل من المسجلين. وتغيِّر النبضة الرابعة إشارة التحكم بالإزاحة لتعيدها إلى 0 ويصبح المسجلين غير مؤهلين.

افترض أن القيمة الثنائية المحتواة في المسجل A قبل الإزاحة هي 1011 وفي المسجل B هي 0010. يحدث النقل التسلسلي من A إلى B في أربع خطوات كما هو موضح في الجدول (8–1) فعند ظهور النبضة الأولى T1 تُزاح الخانة الموجودة في أقصى اليمين من المسجل A إلى الخانة التي تشغل الموقع الموجود في أقصى اليسار من المسجل B ويدور في الوقت ذاته إلى الموقع الموجود في أقصى اليسار من المسجل A. تُزاح في الوقت ذاته خانات المسجلين A، B بمقدار موضع واحد إلى اليمين. تضيع القيمة السابقة 0 للخرج التسلسلي في المسجل B (في الموضع الواقع في أقصى اليمين) لتحل مكانها القيمة الجديدة 1. تقوم النبضات الثلاث التالية بعمليات مماثلة تؤدي إلى إزاحة خانات المسجل A إلى المسجل B خانة واحدة في كل مرة، وتعود إشارة التحكم إلى المستوى 0 بعد نبضة الإزاحة الرابعة و يصبح محتوى كل من المسجلين A، B هو 1011 لهذا يُنقل محتوى المسجل A إلى المسجل B على حين يبقى محتوى المسجل A دون تغيير.

نبضة التزامن	مسجل إزاحة A	مسجل إزاحة B
القيمة الداخلية	1011	0010
After T1	1101	1001
After T2	1110	1100
After T3	0111	0110
After T4	1011	1011

الجدول (8-1)

يتضح من هذا المثال الفرق بين نمطي العمل التسلسلي و المتوازي. ففي النمط المتوازي / التفرعي تكون معلومات جميع خانات المسجل المطلوب نقلها متوفرة (موجودة) ويمكن نقل جميع الخانات آنياً خلال نبضة واحدة للساعة. ويكون للمسجلات في النمط التسلسلي دخل تسلسلي وحيد وخرج تسلسلي وحيد. تنقل المعلومات خانةً خانةً بينما تُزاح المسجلات في الإتجاه ذاته.

العدادات Counters

العداد:يتكون من مجموعة من القلابات متصلة بطريقة ما تحدد نوع العداد وطريقة العد.

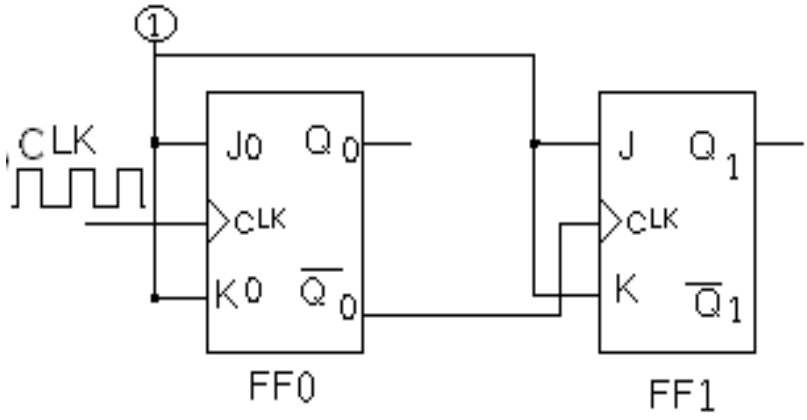
8-3-العدادات غير المتزامنة:

العداد غير المتزامن يتكون من قلابات لا تتغير حالاتها في نفس الوقت وذلك لأنها لا تستخدم إشارة ساعة مشتركة.

مثال:

عداد ثنائي غير متزامن (2bit):

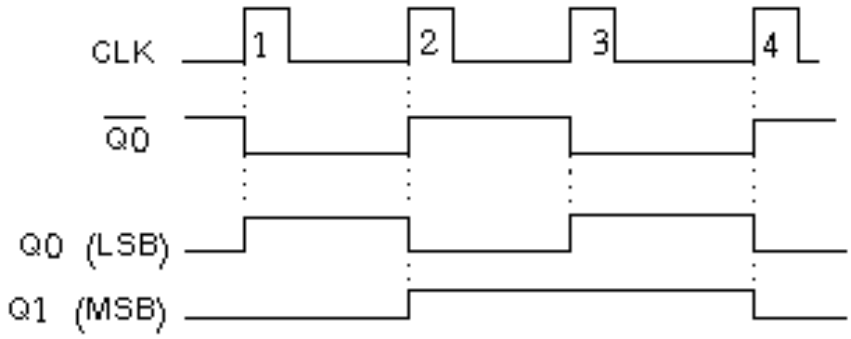
يوضح الشكل (8-4) عداد بخانتين متصل ليعمل كعداد غير متزامن.



الشكل (8-4)

لاحظ أن إشارة الساعة CLK مدخلة على دخل الساعة لأول قلاب فقط FF0 وهو القلاب الأدنى وزناً أما القلاب الثاني FF1 فيُستَحثُ بخرج القلاب الأول $\overline{Q0}$. وتتغير حالة القلاب الأول FF0 عند كل جبهة صاعدة لنبضة الساعة CLK ولكن القلاب الثاني FF1 تتغير حالته لكل جبهة صاعدة للخرج $\overline{Q0}$. وبسبب تأخيرات الانتشار في القلابات فإن تغير مستوى إشارة الساعة CLK وتغير مستوى إشارة $\overline{Q0}$لا يمكن أن يحدثا سوياً في نفس الوقت. و لذا لا يمكن أن تتغير حالة القلابين في نفس الوقت و بهذا يصبح العداد غير متزامن.

يبين الشكل (8– 5) المخطط الزمني الذي يوضح تغيرات حالة خرج كل قلاب بعد كل نبضة ساعة وتم توصيل القلابين ليعملا كقلاب T و الحالة الإبتدائية هي مسح القلاب Reset أي أن Q=0.



الشكل (8- 5)

تبين لنا من المخطط الزمني أن العداد الثنائي (2bit) يعطي أربع حالات مختلفة وهي مبينة بالجدول (8– 2) ويتضح من الجدول أن العداد يعد 3 نبضات بالعد الثنائي وفي النبضة الرابعة يعود إلى حالته الابتدائية.

Clock Pulse	Q_1	Q_0
الحالة الابتدائية	0	0
1	0	1
2	1	0
3	1	1
4	0	0

الجدول (8- 2)

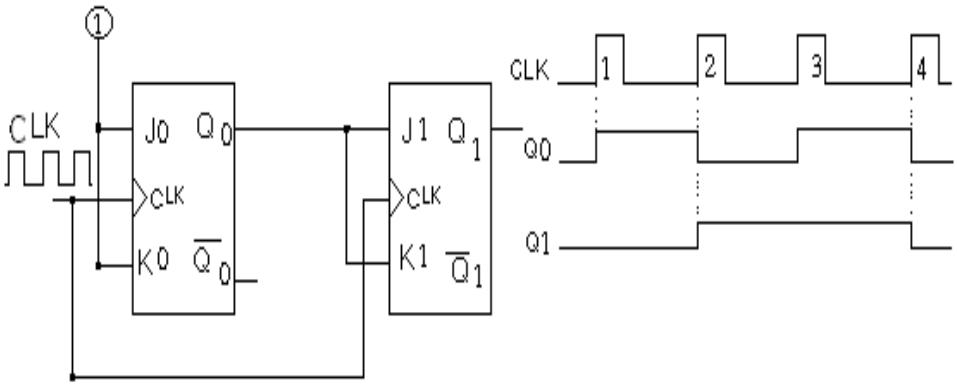
8–4 – العدادات المتزامنة : Synchronous Counters

يستخدم لفظ التزامن ليصف أحداث ذات علاقة زمنية ثابتة ببعضها البعض و العداد المتزامن هو العداد الذي تتصل كل قلاباته بإشارة ساعة واحدة.

مثال:

عداد ثنائي متزامن (2bit):

يوضح الشكل (8 –6) عداد ثنائي متزامن (2bit).



الشكل (8 -6)

عداد ثنائي متزامن

8–5–تصميم العدادات المتزامنة:

إن تصميم الدارات التتابعية باستخدام القلابات يجب أن يتم باستنتاج معادلات مداخل الدارة بطريقة غير مباشرة من جدول الحالة و لكي نتمكن من تحديد معادلات مداخل هذه القلابات علينا استنتاج علاقة وظيفية بين جدول الحالة و معادلات الدخل.

وتعطي جداول الحالة للقلابات قيمة الحالة التالية عندما تكون المداخل والحالات الراهنة معروفة وهذه الجداول مفيدة لتحليل الدارات التتابعية وتحديد عمل القلابات.

نعرف عادةً خلال عملية التصميم الانتقال من الحالة الراهنة إلى الحالة التالية، ونرغب بإيجاد شروط مداخل القلابات التي تقود إلى الانتقالات المطلوبة. لهذا نحتاج إلى جدول يتضمن قيم المداخل التي تعطي تغير الحالة المطلوب. يسمى هذا الجدول: جدول التحريض (Excitation table).

يحتوي جدول التحريض على عمود للحالة الراهنة Qn وعمود للحالة التالية Qn+1 وعمود لكل مدخل لتوضيح كيف يتحقق الانتقال المطلوب. هناك أربع انتقالات ممكنة من الحالة الراهنة إلى الحالة التالية. لقد استُنتِجَت شروط المداخل المطلوبة لكل من الانتقالات الأربعةمن المعلومات التي يوفرها جدول الحالة المميز للقلاب.

يمثل الرمز x في الجداول حالة عدم اكتراث don`t-care condition التي تعني أن قيمة الدخل ليست مهمة سواء أكانت 1 أو 0.

ويبين الشكل (7 –8) جداول التحريض للقلابات الثلاثة J-K، D ، T .

Q_n	Q_{n+1}	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

Q_n	Q_{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

Q_n	Q_{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

الشكل (8- 7)

مثال:

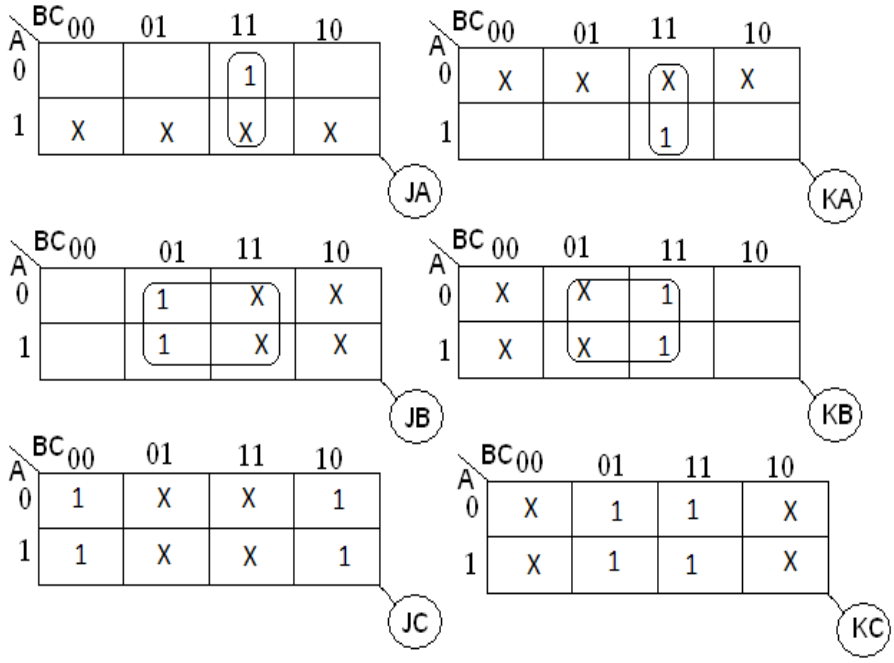
تصميم عداد ثنائي بثلاث خانات باستخدام قلابات J-K:

نحتاج بهذا التصميم ثلاث قلابات J-K لكل خانة قلاب وبالاعتماد على جداول التحريض نستطيع كتابة جدول الحالة للقلاب المبين بالجدول (8- 3) نسمي الخرج QA بـ A و QB بـ B و QC بـ C كما في الجدول :

الحالة الراهنة			الحالة التالية			القلابA		القلاب B		القلاب C	
A	B	C	A	B	C	J_A	K_A	J_B	K_B	J_C	K_C
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	0	1	1	0	X	X	0	1	X
0	1	1	1	0	0	1	X	X	1	X	1
1	0	0	1	0	1	X	0	0	X	1	X
1	0	1	1	1	0	X	0	1	X	X	1
1	1	0	1	1	1	X	0	X	0	1	X
1	1	1	0	0	0	X	1	X	1	X	1

الجدول (8- 3)

وحسب جداول كارنو المبينة بالشكل (8– 8) نستنتج معادلات المداخل:



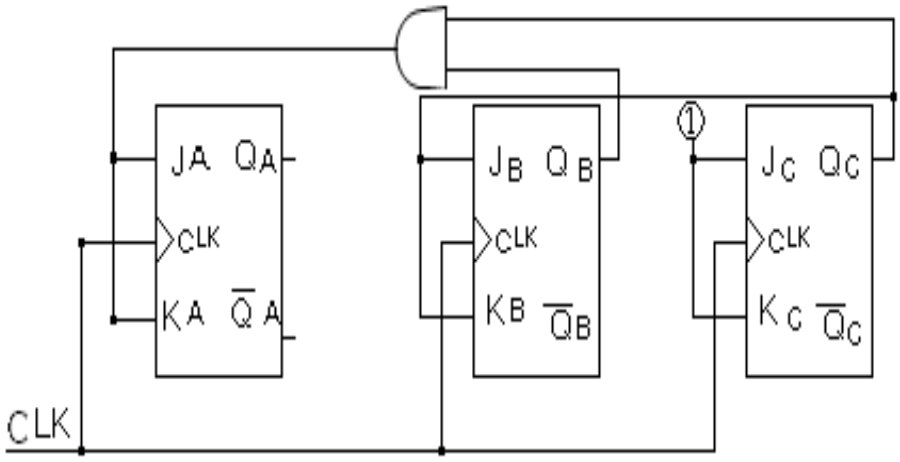
الشكل (8- 8)

$$K_A = B.C \quad , \quad J_A = B.C$$

$$K_B = C \quad , \quad J_B = C$$

$$K_C = 1 \quad , \quad J_C = 1$$

ويبين الشكل (8–9) دارة العداد ذو الثلاث خانات :



الشكل (8-9)

مثال:

العداد ذو الحالات غير المستخدمة : Counter With Unused States

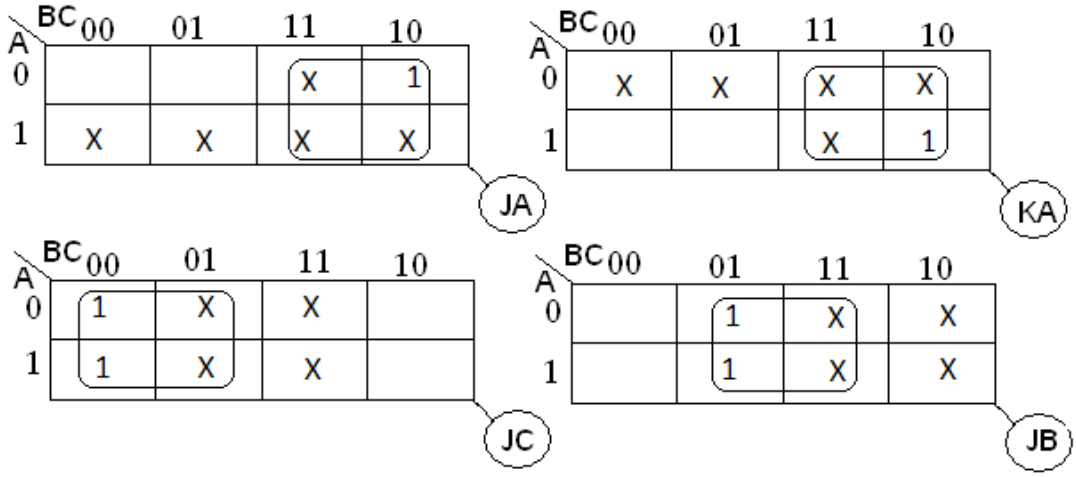
توجد مناسبات كثيرة نحتاج فيها دارة تتابعية تستخدم عدداً أقل من العدد الأعظمي المتاح من الحالات. لا تدرج الحالات غير المستخدمة في تحديد مواصفات الدارة التتابعية في جدول الحالة وينظر إلى الحالات غير المستخدمة كحالات عدم اكتراث.

للتوضيح نأخذ العداد المبين في الجدول (8– 4) يتضمن العداد تتابعاً متكرراً يتألف من ست حالات وإن الحالتين 011 و 111 غير مشمولتين في العد وإن اختيار قلابات نوع J-K ينتج عنه شروط المداخل المدرجة في الجدول يتضمن العمودان للمدخلين KB و KCواحدات وحالات عدم اكتراث (x 's) وهكذا يمكن اعتبار هذين الدخلين مساويين للواحد دوماً. يمكن تبسيط معادلات مداخل باقي القلابات معتبرين أن الحدين الأصغريين 3 و7 هما حالات عدم اكتراث.

فنحصل على المعادلات المبسطة التالية باستخدام جداول كارنو الشكل (8– 10)

الحالة الراهنة			الحالة التالية			القلابA		القلاب B		القلاب C	
A	B	C	A	B	C	J_A	K_A	J_B	K_B	J_C	K_C
0	0	0	0	0	1	0	X	0	X	1	X
0	0	1	0	1	0	0	X	1	X	X	1
0	1	0	1	0	0	1	X	X	1	0	X
1	0	0	1	0	1	X	0	0	X	1	X
1	0	1	1	1	0	X	0	1	X	X	1
1	1	0	0	0	0	X	1	X	1	0	X

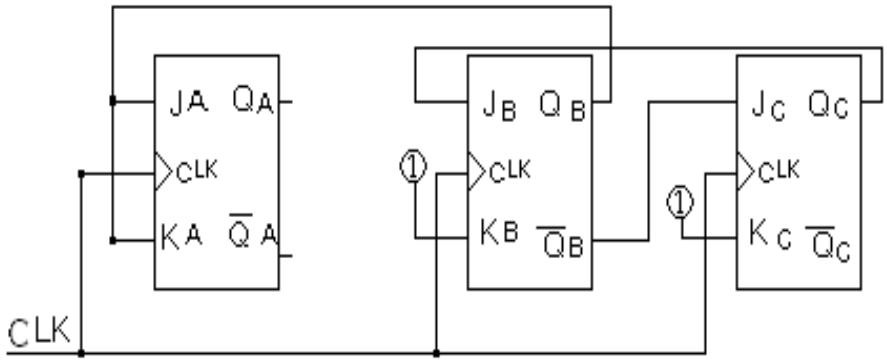
الجدول (8- 4)



الشكل (8-10)

$$J_A = B \qquad J_B = C \qquad J_C = \overline{B}$$
$$K_A = B \qquad K_B = 1 \qquad K_C = 1$$

وتصبح الدارة كما هو مبين بالشكل (8– 11) التالي



الشكل (8- 11)

8-6-الذاكرة Memory

مقدمة :

وحدة الذاكرة هي تجهيزة تُنقل إليها المعلومات الثنائية للتخزين و تكون جاهزة عند الحاجة للمعالجة. تُنقَل المعلومات عند المعالجة من الذاكرة إلى مسجلات منتخبة في وحدة المعالجة. ويعاد نقل النتائج الوسيطة والنهائية التي نحصل عليها نتيجة المعالجة لتخزينها في الذاكرة.

تُخزَّن المعلومات الثناثية المستقبلة من تجهيزة الدخل Input Device في الذاكرة، و تؤخذ المعلومات التي تُنقل إلى تجهيزة الخرج من الذاكرة. فوحدة الذاكرة إذن هي مجموعة من الخلايا القادرة على تخزين كمية كبيرة من المعلومات الثنائية.

يوجد نوعان من الذواكر المستخدمة في النظم الرقمية:

1 – ذاكرة النفاذ العشوائي Random Access Memory (RAM)

أو ذاكرة القراءة و الكتابة Read Write Memory (RWM)

2 – وذاكرة القراءة فقط Read Only Memory (ROM)

تقبل ذاكرة النفاذ العشوائي RAM معلومات جديدة للتخزين لتكون جاهزة للاستخدام لاحقاً.

يشار إلى عملية حفظ المعلومات في الذاكرة بعملية كتابة Write في الذاكرة، ويشار إلى عملية نقل المعلومات المخزنة في الذاكرة إلى خارجها بعملية قراءة Read. يمكن لذاكرة النفاذ العشوائي RAM إجراء عمليات القراءة

وعمليات الكتابة على حين يمكن تنفيذ عملية قراءة فقط من ذاكرات القراءة فقط ROM وهذا يعني أنه يجب أن تكون المعلومات الثنائية المناسبة مخزنة سابقاً داخل الذاكرة، التي يمكن استردادها أو قراءتها في أية لحظة، لكن لا يمكن تبديل المعلومات المخزنة في ذاكرة القراءة بالكتابة فيها لأنه يمكن فقط قراءة المعلومات المخزنة فيها أي لا يمكن الكتابة فيها.

8-4-1-ذاكرة النفاذ العشوائي Random-Access Memory

تتألف وحدة الذاكرة من مجموعة من خلايا التخزين مع مجموعة الدارات المرتبطة بها اللازمة لنقل المعلومات من التجهيزة وإليها. إن الزمن الذي تحتاجه عملية نقل معلومة من (أو إلى) موقع ما عشوائي في الذاكرة ثابت ومن هنا جاء الاسم ذاكرة النفاذ العشوائي RAM.

تُخزِّن وحدة الذاكرة المعلومات الثنائية في مجموعات من الخانات تُدعى كلمات Words. فالكلمة في الذاكرة هي كيان Entity من الخانات تُحرَّك من الذاكرة وإليها بصفتها وحدة متكاملة. تتألف الكلمة في الذاكرة من مجموعة من الواحدات والأصفار يمكن أن تمثل عدداً أو تعليمةً أو محرفاً أو رقماً أو أي معلومة مرمزة ثنائياً. يطلق على المجموعة المؤلفة من ثمانية خانات اسم Byte و بذلك تحتوي الكلمة المؤلفة من 16 خانة (16bit) على (2 Byte) و تلك التي تحوي 32 خانة على (4Byte) ويشار إلى سعة الذاكرة Memory Capacity عادة بعدد الـ Bytes التي يمكن تخزينها فيها.يجري الاتصال بين الذاكرة و محيطها من خلال خطوط دخل و خرج Input and output lines وخطوط اختيار العنوان وخطوط تحكم تحدد اتجاه النقل ويبين الشكل (8- 12) مخططاً صندوقياً لوحدة الذاكرة تقدم خطوط دخل المعطيات ذات العدد n خط

المعلومات المطلوب تخزينها في الذاكرة، و تقدم خطوط الخرج ذات n خط المعلومات الخارجة من الذاكرة.

وتحدِّد خطوط العنونة (عددها k) الكلمة المحددة من بين الكلمات الكثيرة في الذاكرة التي تم اختيارها. ويحدد خطي التحكم الاتجاه المرغوب لنقل المعلومات، يؤدي مدخل الكتابة Write Input إلى نقل المعلومات إلى داخل الذاكرة، ويؤدي دخل القراءة Read Input إلى نقل المعلومات من الذاكرة باتجاه الخارج.

الشكل (8- 12)

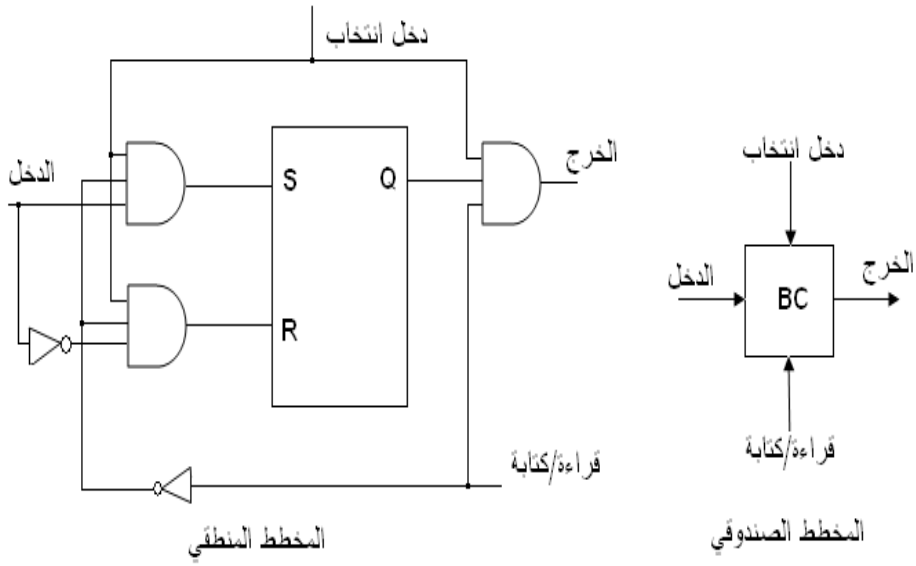
تحدد سعة وحدة الذاكرة بعدد الكلمات التي تحويها وعدد الخانات في كل كلمة.
تنتقي خطوط العنوان كلمة واحدة من بين كلمات الذاكرة. تُخصص كل كلمة في الذاكرة برقم تعريف يدعى العنوان Address تبدأ العناوين من الـ 0 و لغاية – 2^k 1 حيث K عدد خطوط العنوان.

يقبل مفكك الترميز هذا العنوان ويفتح الممرات اللازمة لانتقاء الكلمة التي يحددها العنوان.

تتباين الذواكر في الحجم كثيراً وقد يتراوح حجمها من 1024 كلمة (تتطلب عنواناً من 10 خانات) حتى 2^{32} كلمة (تتطلب عنواناً من 32 خانة) يُشار عادةً إلى عدد الكلمات أو الخانات في الذاكرة بأحد الحروف التالية: K (كيلو Kilo) أو M (ميغا Mega) أو G (جيغاGega) حيث $1M = 2^{20}$أي واحد ميغا Mega كلمة و $1G = 2^{30}$ واحد جيغاGega وهكذا يكون $2^{16} = 64$ K و $2^{32} = 4$ G
.

البنية الداخلية للذاكرة RAM:

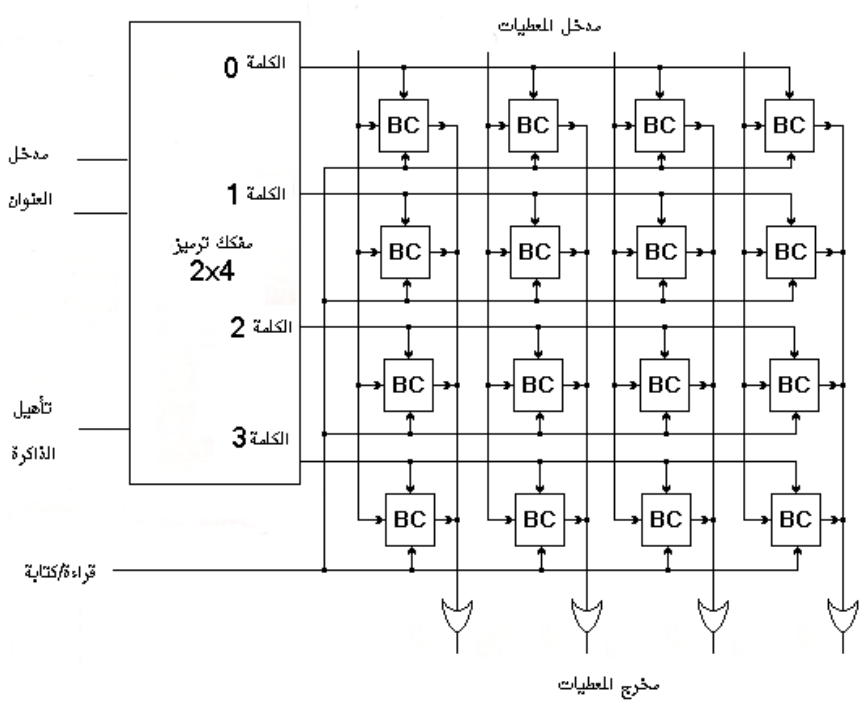
يبين الشكل (8– 13) خلية التخزين الثنائية Binary cell (BC) االتي تعتبر اللبنة الأساسية في بناء وحدة الذاكرة، وهذه الخلية تخزن خانةً واحدةً من المعلومات الثنائية.



الشكل (8- 13)

تحفظ الخلية الثنائية خانةً واحدةً في القلاب الموجود بداخلها. يؤهِّل مدخل الإنتخاب Select Input الخلية للقراءة أو للكتابة ويُحدِّد مدخل القراءة / الكتابة نوع العملية في الخلية عند انتخابها، فوجود 1 منطقي على مدخل قراءة / كتابة يقدم عملية قراءة بتكوين ممر من الماسك إلى مخرج الخلية، على حين يقدم 0 منطقي على مدخل القراءة / الكتابة عملية كتابة بتكوين ممر من الخلية إلى القلاب.

يبين الشكل (8–15) البنية المنطقية لذاكرة نفاذ عشوائي RAM مؤلفة من أربع كلمات طول كل منها أربع خانات فيكون مجموع عدد خلايا الذاكرة 16 خلية ثناثية.



الشكل (8-15)

يمثل الصندوق الذي يحمل الاسم BC الخلية الثنائية بمداخلها الثلاثة ومخرجها الوحيد، تحتاج الذاكرة المؤلفة من أربع كلمات إلى خطي عنوان. يمر خطا العنوان عبر مفكك ترميز (2x4) لانتقاء كلمة واحدة من بين الكلمات الأربع. ويؤهَّل مفكك الترميز بواسطة مدخل تأهيل الذاكرة. فعندما يكون مدخل تأهيل

الذاكرة 0 منطقي، تكون جميع مخارج مفكك الترميز أصفاراً، ولا تنتقى أي كلمة من الذاكرة. وعندما يكون مدخل انتقاء الذاكرة 1 منطقي تنتقى كلمة من كلمات الذاكرة، تحددها القيمة الموجودة على خطي العنوان. وبمجرد انتقاء كلمة ما فإن المدخل قراءة / كتابة هو الذي يحدد نوع العملية.

فخلال عملية القراءة تنتقل الخانات الأربعة في الكلمة المنتقاة عبر بوابات OR إلى أطراف خرج الذاكرة.

تُنقَل المعطيات الموجودة على خطوط الدخل أثناء عملية الكتابة إلى داخل الخلايا الثنائية الأربع في الكلمة المنتقاة. وتكون الخلايا الثنائية غير المنتقاة غير مؤهلة وتبقى قيمها الثنائية السابقة دون تغيير.

وعندما تكون قيمة مدخل انتقاء الذاكرة الذي يذهب إلى مفكك الترميز 0 منطقي، عندها لا تُنتقى أية كلمة وتبقى محتويات جميع الخلايا على حالها بغض النظر عن قيمة الدخل قراءة / كتابة.

يمكن أن تبلغ سعة ذاكرة النفاذ العشوائي آلاف الكلمات وأن يقع طول الكلمة الواحدة بين 1 و 64 خانةً. إن البنية النطقية للذواكر ذات السعات الكبيرة ليست سوى توسيع للتشكيلة المبينة هنا.

وتتطلب الذاكرة المؤلفة من 2^k كلمة كل كلمة منها مؤلفة من n خانة، إلى k خط عنونة تذهب جميعها إلى مفكك ترميز $k \times 2^k$. ينتقي كل مخرج من مخارج مفكك الترميز كلمة واحدة من طول n خانة للقراءة منها أو للكتابة فيها.

المصطلحات والاختصارات

Decimal System	**– النظام العشري**
Binary System	**– النظام الثنائي**
Octal System	**– النظام الثماني**
Hexadecimal System	**– نظام الست عشري**
Binary Arithmetic	**– العمليات الحسابية في النظام الثنائي**
Binary Addition	**– الجمع الثنائي**
Binary Subtraction	**– الطرح الثنائي**
Binary Multiplication	**– الضرب الثنائي**
Binary Division	**– التقسيم الثنائي**
Binary Coded Decimal	**– العشري المرمز ثنائياً**
BCD Addition	**– الجمع في نظام الترميز الثنائي العشري**
Boolean Algebra	**– جبر بول**
Working state	**– حالة العمل**

Non-working state	**-حالة اللاعمل**
logic Function	**تابع منطقي**
function	**تابع**
Gate	**بوابة**
Hexadecimal	**سداسي عشر**
Binary	**ثنائي**
D.T.L(Diode Transistor Logic)	**منطق الثنائي والترانزستور**
T.T.L (Transistor Transistor Logic)	**منطق الترانزستور والترانزستور**
Digit	**رقم**
Digital	**رقمي**
Input	**دخل**
Output	**خرج**
Inverter	**عاكس**
Logical Circuit	**دارة منطقية**

Logical Product	**جداء منطقي**
Logical Sum	**مجموع منطقي**
Logical System	**نظام منطقي**
Negative	**سالب**
Numeration System	**نظام العد**
Octal	**ثماني**
Partition	**تقسيم**
Program	**برنامج**
Product	**ضرب**
Subtraction	**طرح**
Transistor	**ترانزستور**
Truth Table	**جدول الحقيقة**
Variable	**متحول**
Logic Variable	**متحول منطقي**
Conversion	**التحويل**

(Resistor–Transistor Logic: **RTL**	**منطق مقاومة–ترانزستور**
Complementary Metal Oxide Semiconductor: **CMOS**	**عائلة منطق(معدن– أكسيد المعدن– نصف ناقل) المتتام CMOS**
Emitter Coupled (**ECL**) Logic	
(Dual–In–Line Package: DIP)	**التغليف الثنائي**
(Pin Grid Array: PGA)	**التغليف الشبكي**
(Flat Package)	**التغليف السطحي**
Saturation Region	**منطقة الإشباع**
Cut–off Region	منطقة القطع
Logic Level	مستوى المنطق
Logic Probe	المجس المنطقي
PULSER	**مولد النبضات**

المراجع

المرجع	العنوان	المؤلف
1	الجبر المنطقي	م.سوزان الجمال م. يحيى بري م. محمد ياسر خيفة م. محمد زيدان
2	مبادئ التصميم الالكتروني الرقمي	الدكتور سليم عمر ادريس صادر عن دار شعاع
3	التصميم الرقمي	M.Morris Mano ترجمة أ.د جبر راجح الرمحين
4	مدخل لتصميم الدارات الرقمية	م. صخر موفق الشرع

5	فن الالكترونيات الدارات الرقمية	Paul Horowitz Winfield Hill ترجمة م. عماد مصطفى صادر عن دار شعاع
6	نظم منطقية ودارات رقمية	الدكتور جبر رمحين كلية الهندسة الكهربائية جامعة دمشق